

Organização de computadores

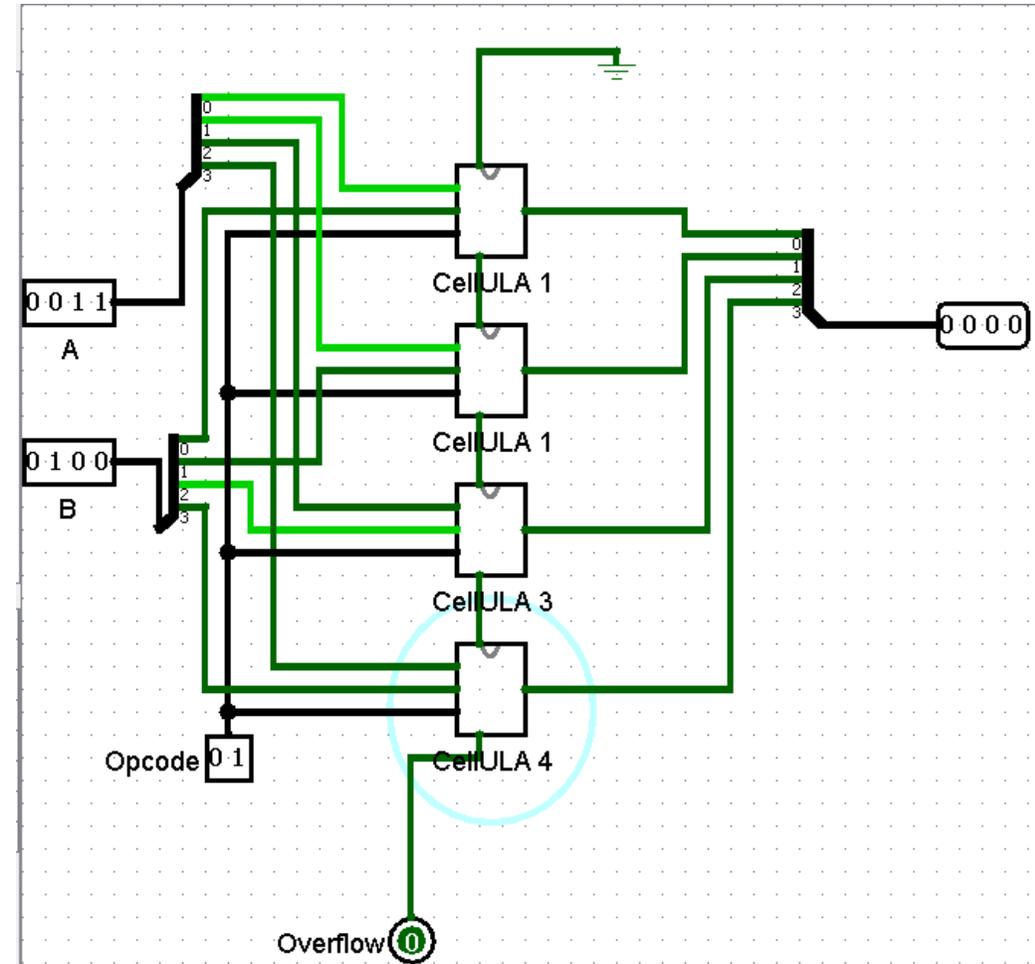
Segundo Bimestre

CNAT – 2016.1

Prof. Jean Galdino

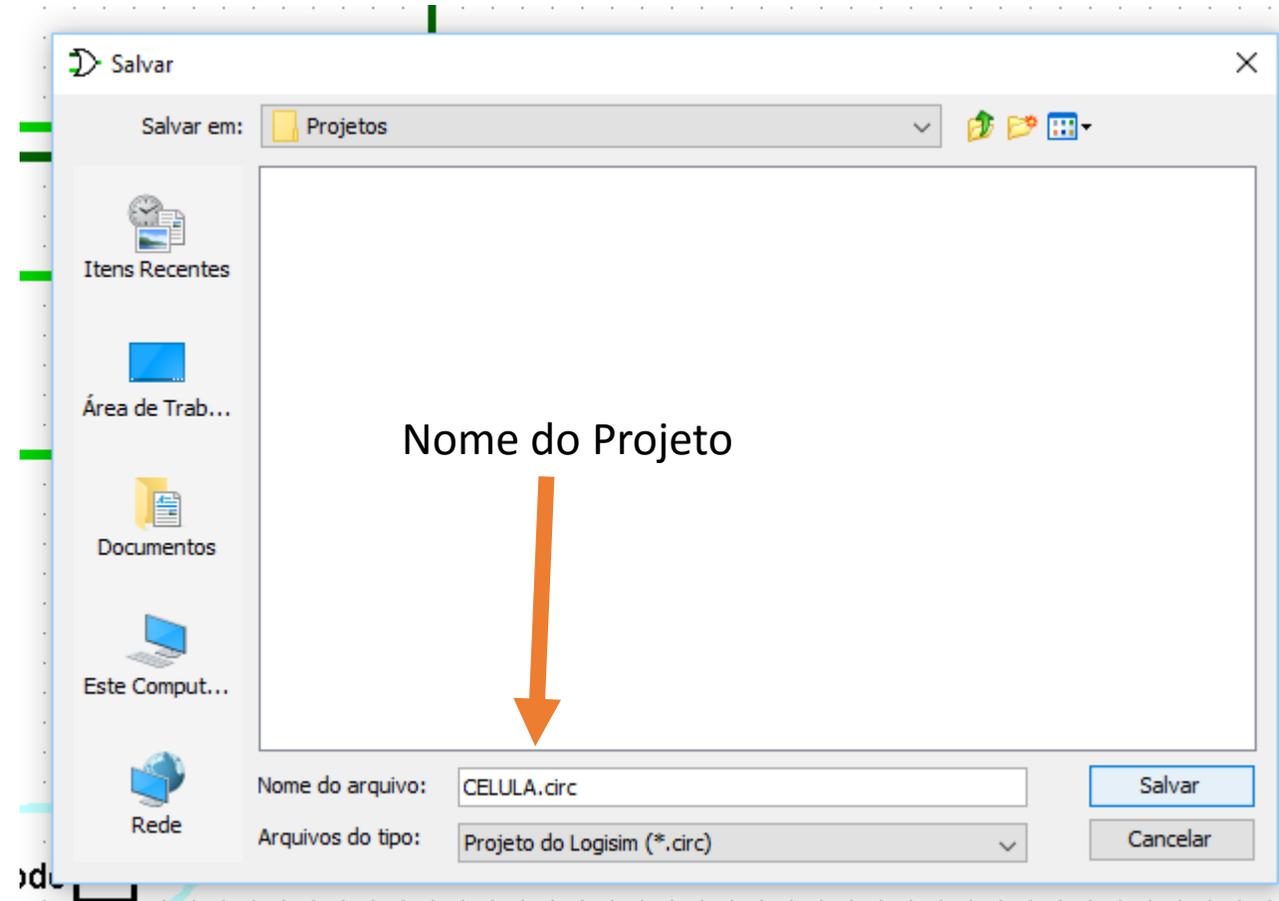
Criando a ULA

- Adicione 8 blocos de células ULA
 - Criando uma ULA de oito bits
 - Quatro



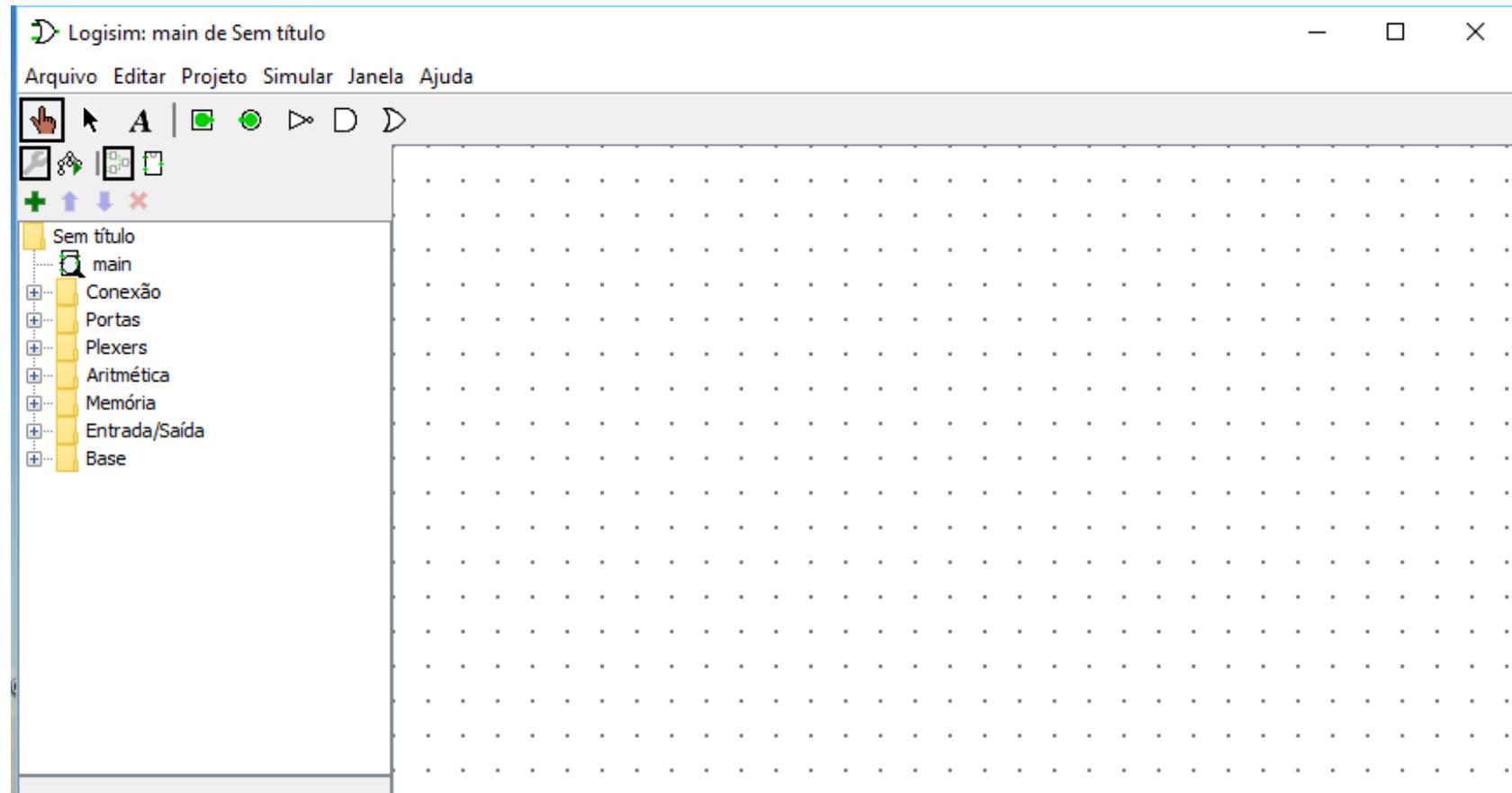
Criando a ULA

- Salve o seu projeto para complementação posterior



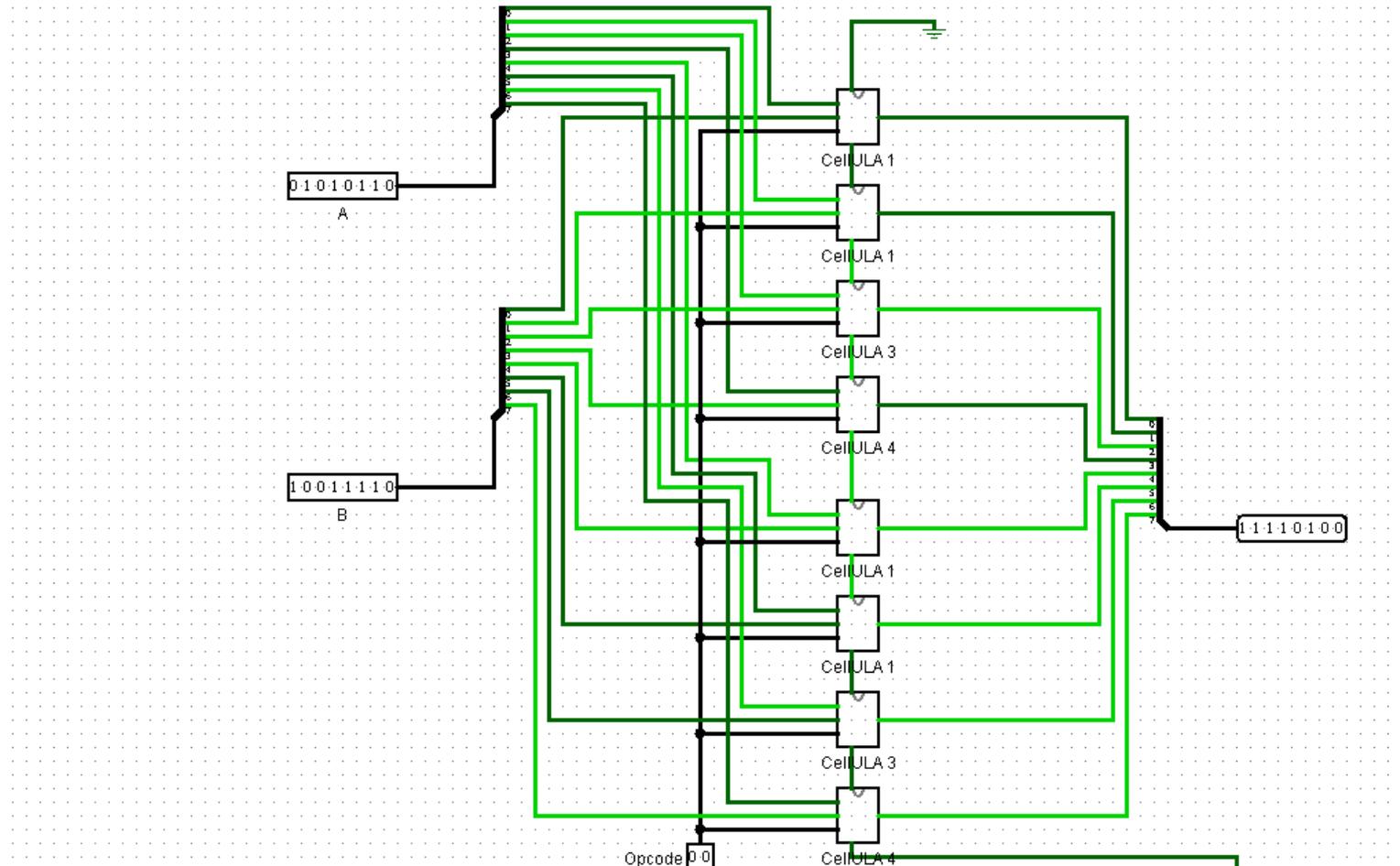
Continuação da construção de um Processador

- Abrir o Logisim



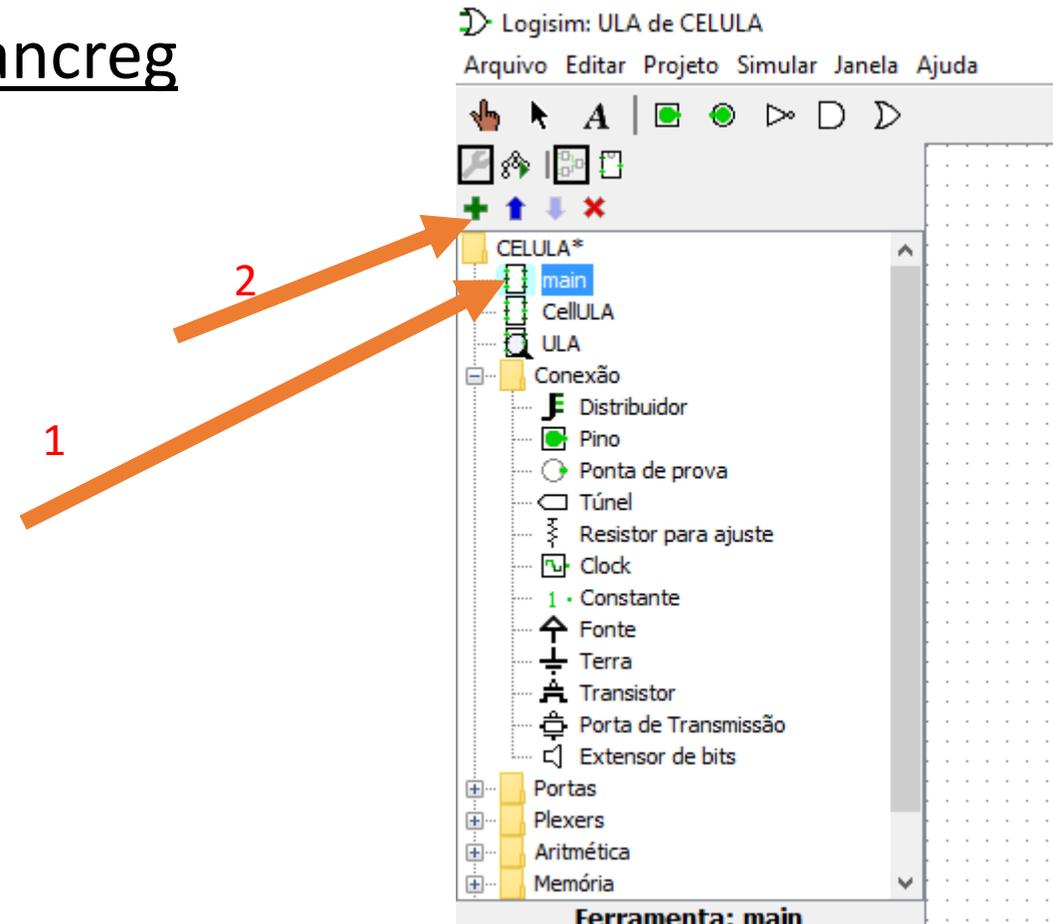
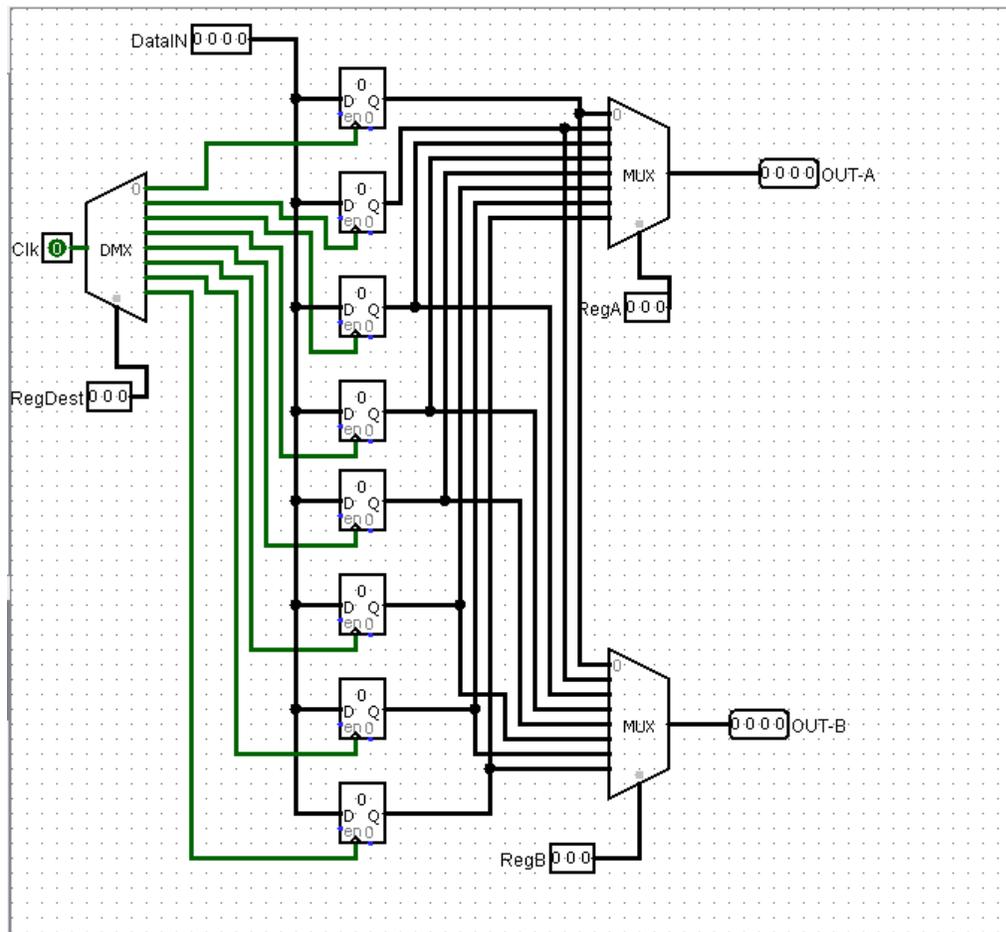
ULA de 8 bits

- Após a conclusão da aula anterior



Criar uma banco de registradores

- Em main – Adicionar (+) circuito Bancreg



Inserir 8 Registradores

1

2

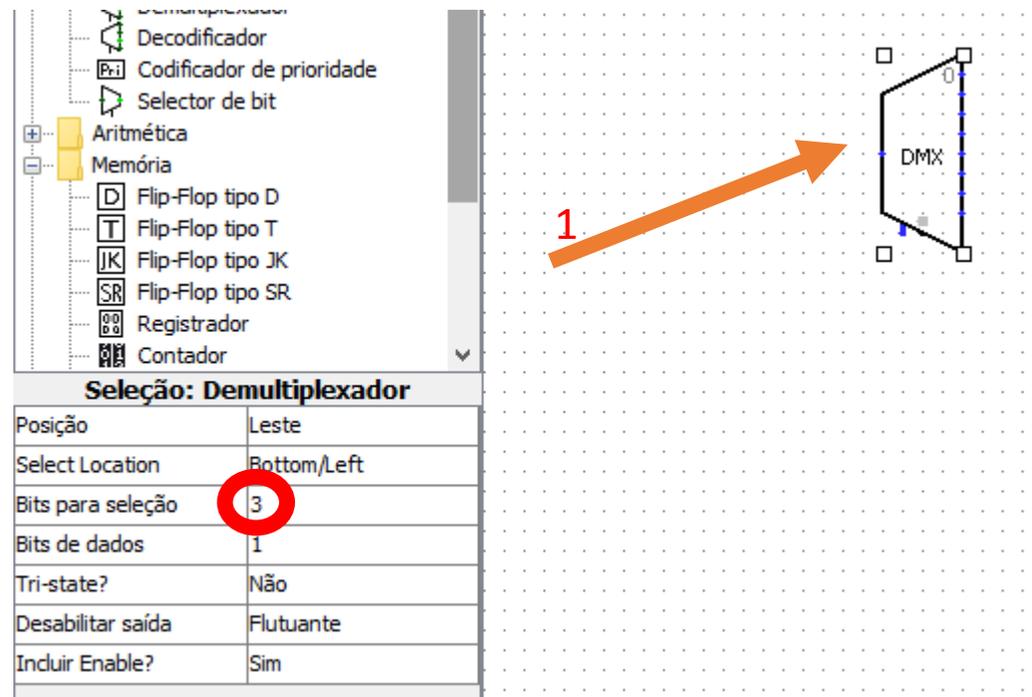
Circuito: BancReg

Nome do circuito	BancReg
Rótulo compartilhado	
Direção do rótulo co...	Leste
Fonte do rótulo comp...	SansSerif Normal 12

The image shows a logic design software interface. On the left, a component library is displayed with a tree structure under 'CELULA*'. The 'BancReg' component is highlighted with an orange arrow labeled '1'. Below the library is a metadata table for the 'Circuito: BancReg'. On the right, a circuit diagram is shown on a grid, featuring a vertical stack of 8 D flip-flops. An orange arrow labeled '2' points to this stack. Each flip-flop has a '0' at the top, 'D' on the left, 'Q' on the right, and 'en.0' at the bottom. The flip-flops are connected in a chain, with the Q output of one connected to the D input of the next.

Inserir o Demultiplex

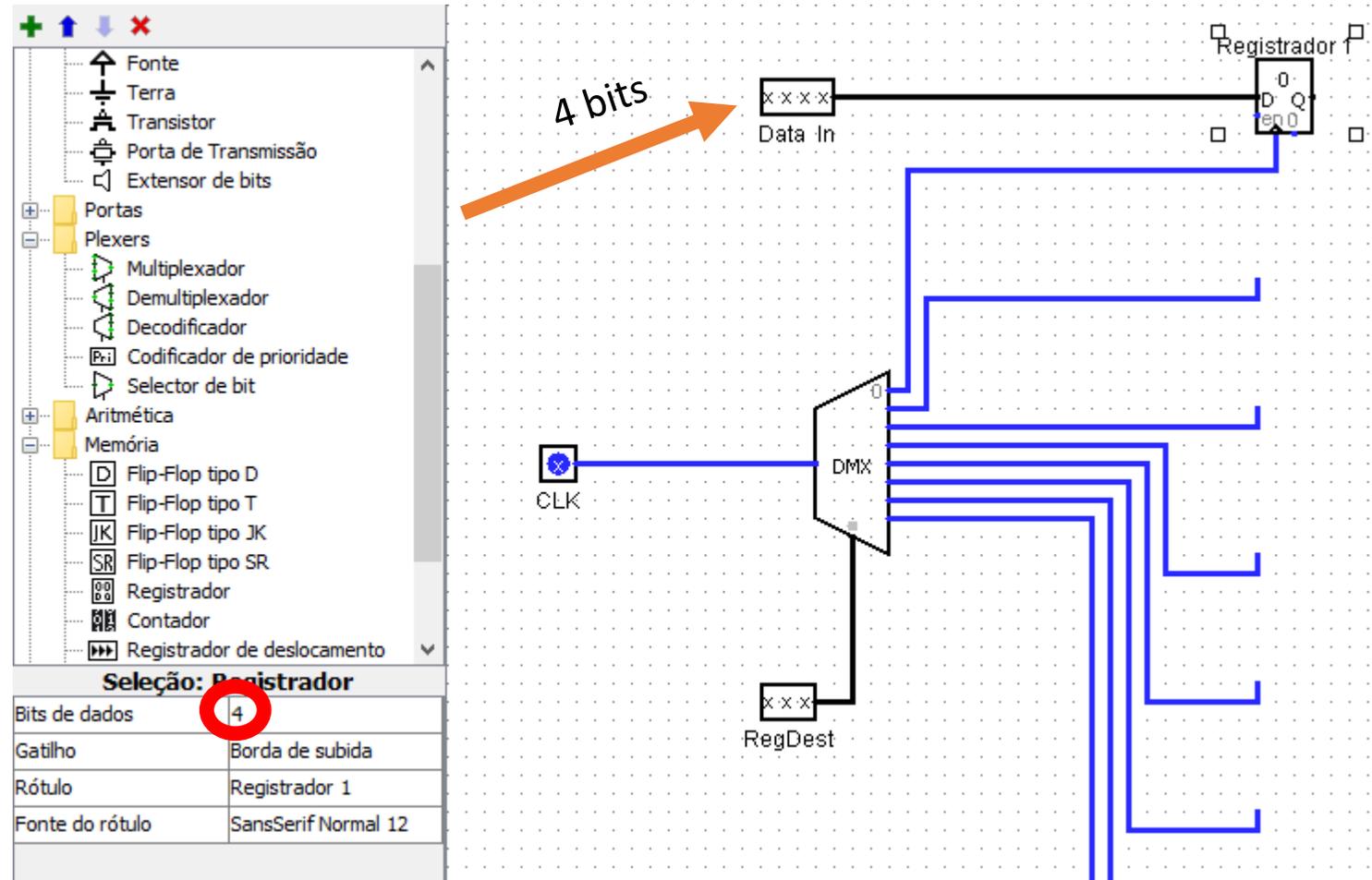
- Configure para três bits de seleção
- Ligue-os no pino Clock do Registrador



Selecção: Demultiplexador

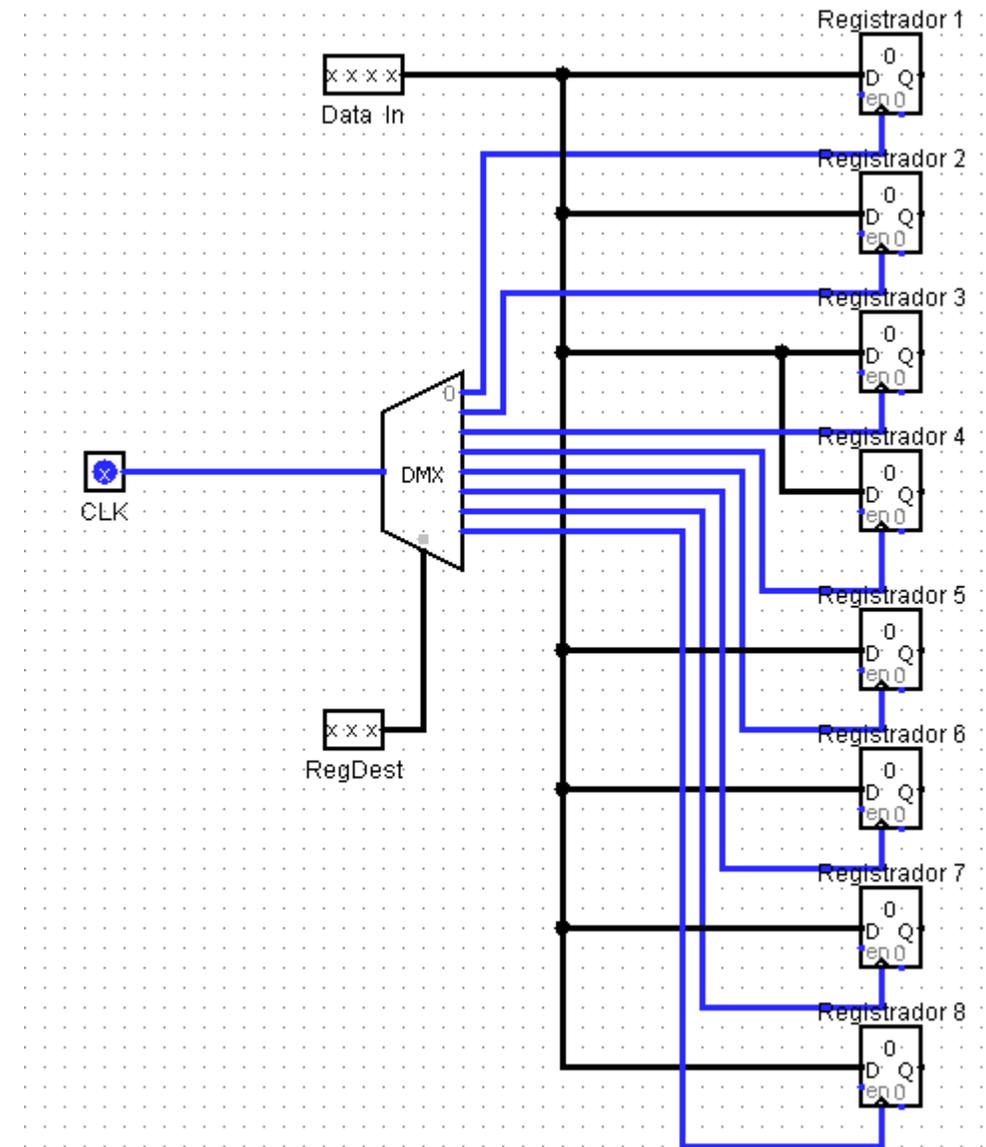
Posição	Leste
Select Location	Bottom/Left
Bits para seleção	3
Bits de dados	1
Tri-state?	Não
Desabilitar saída	Flutuante
Incluir Enable?	Sim

Lembre-se que o Registrador é de palavras de 4 bits



Inserir os pinos de entrada

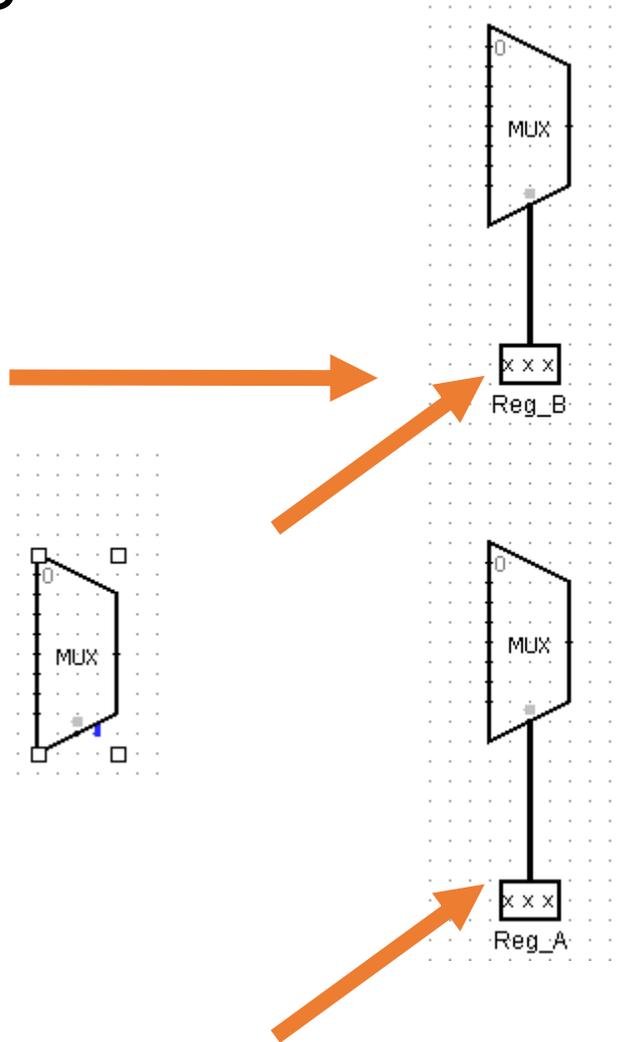
- Clock – 1 bit
- RegDest – 3 bits
- DataIn – 4 bits



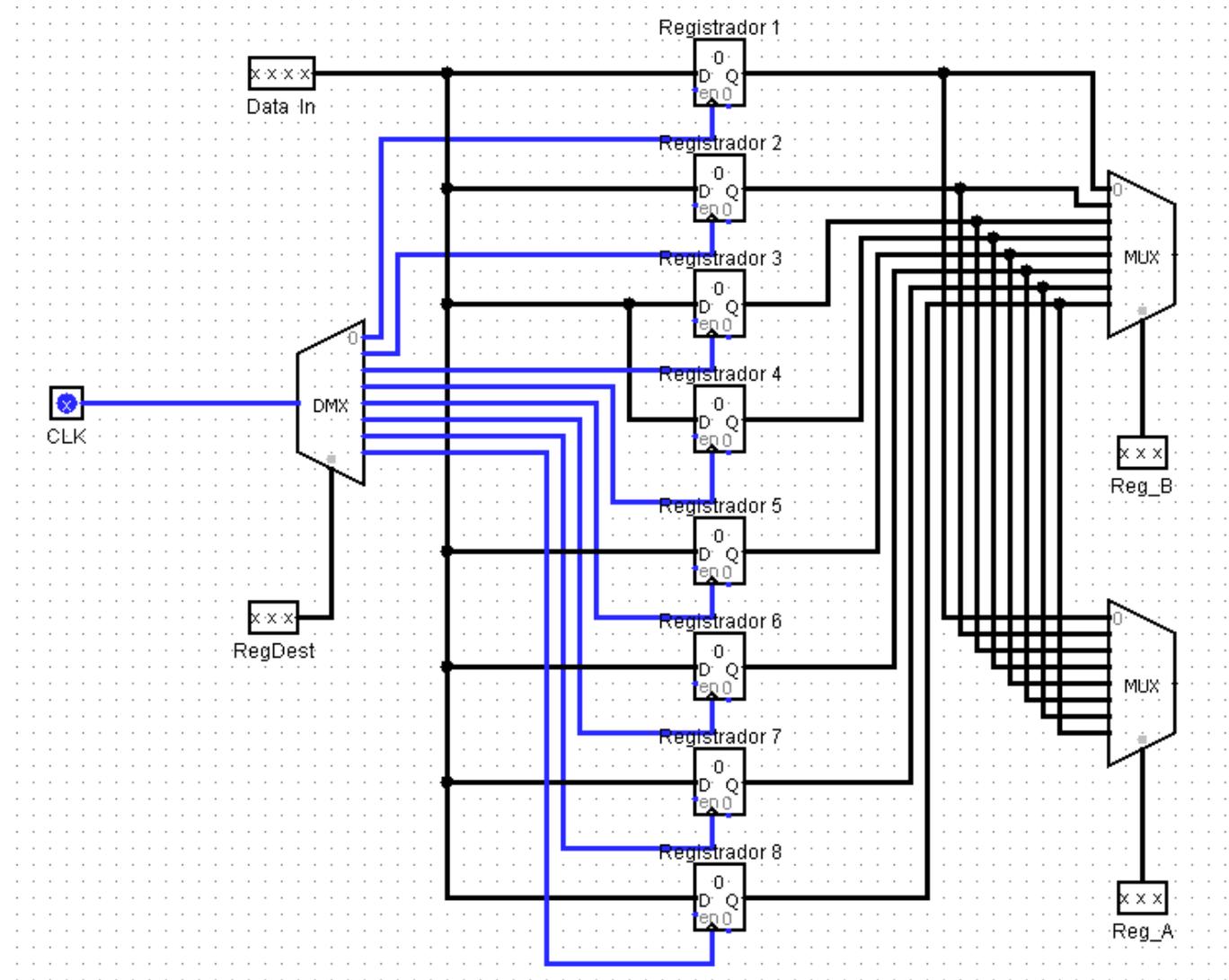
Inserir dois Multiplexadores

- Bits de seleção = 3 e Bits de Dados = 4
- Lembre-se de desabilitar o Enable do MUX
- Inserir as entradas para seleção dos MUXs

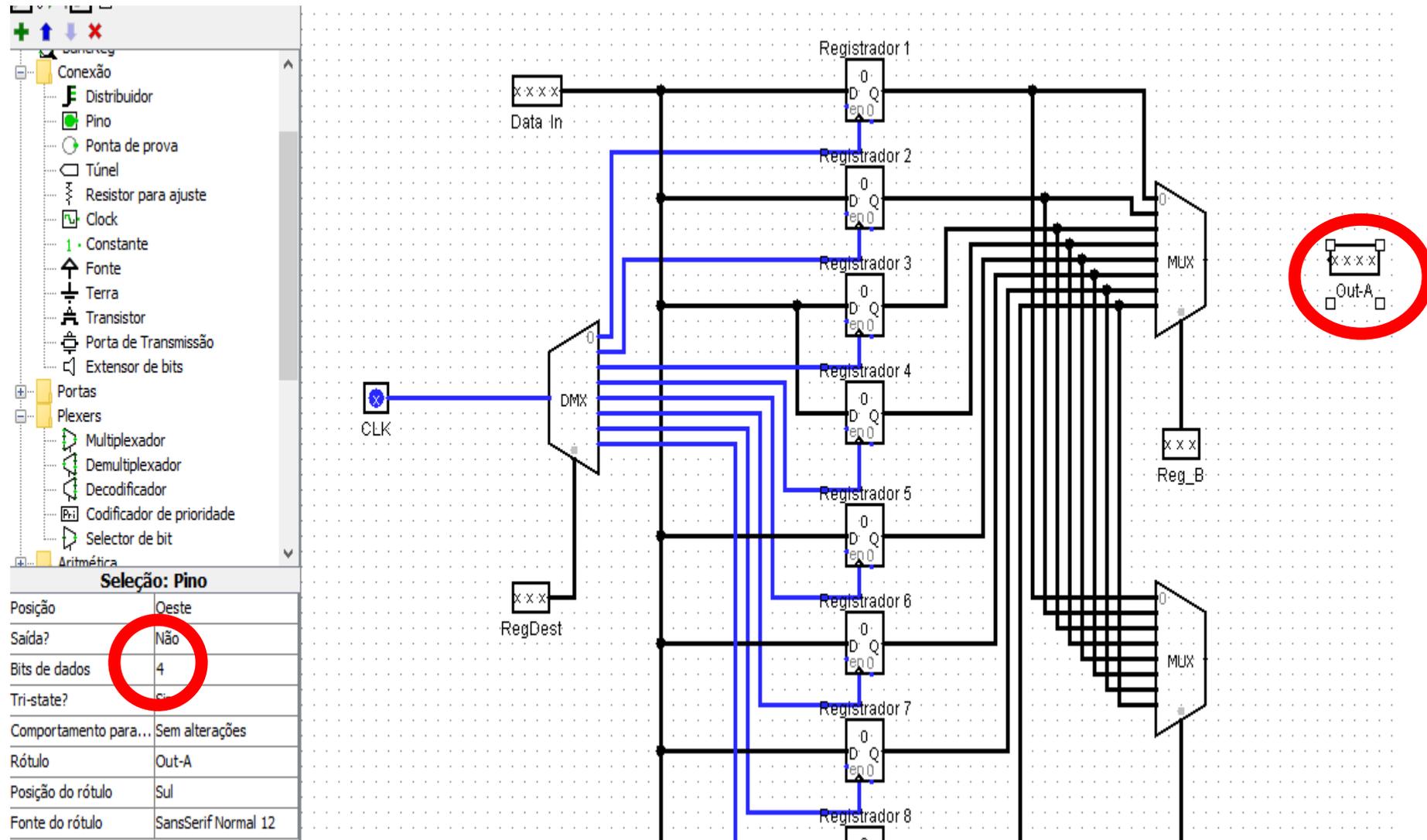
Seleção: Multiplexador	
Posição	Leste
Select Location	Bottom/Left
Bits para seleção	3
Bits de dados	4
Desabilitar saída	Flutuante
Incluir Enable?	Sim



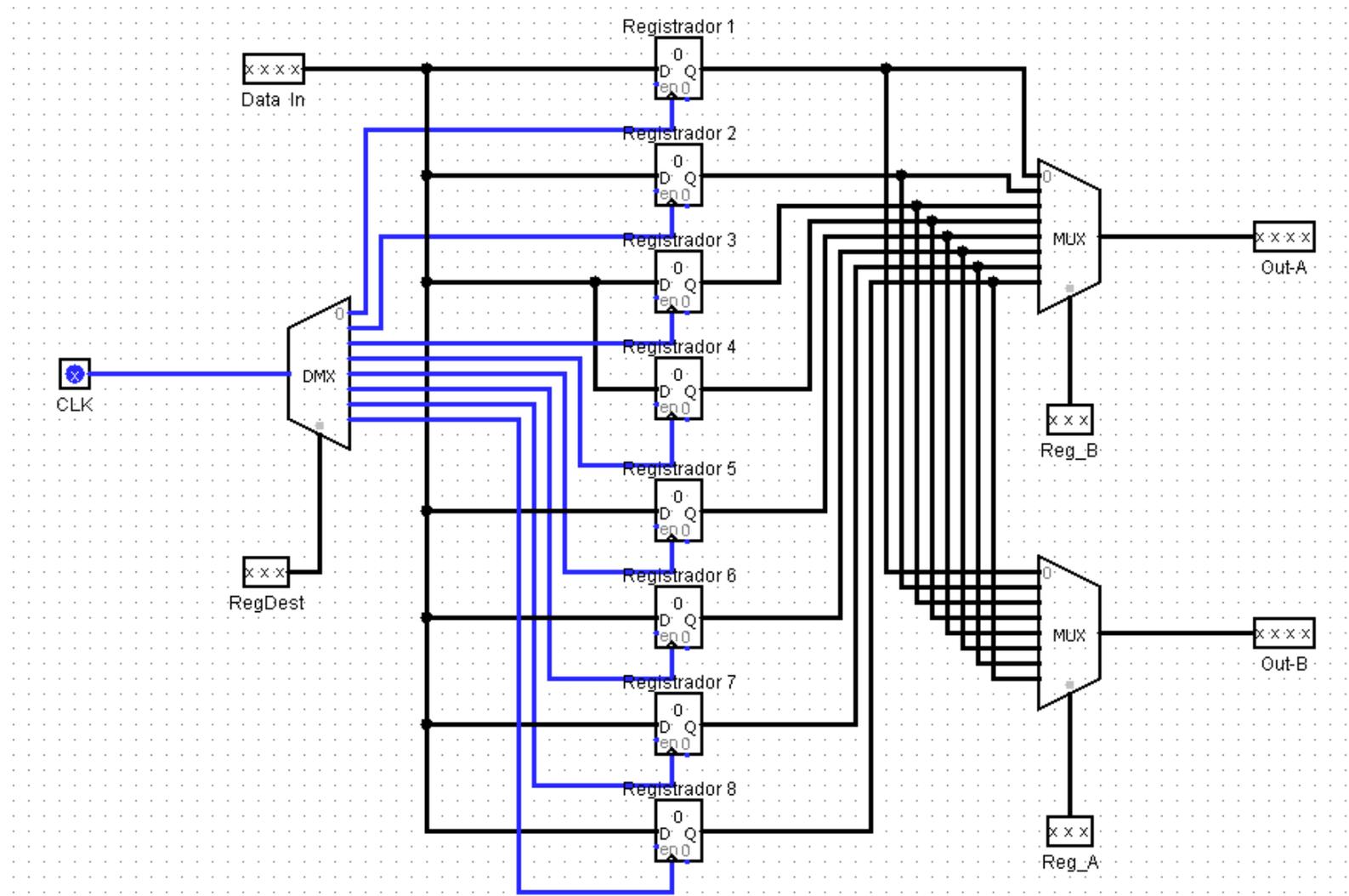
Ligar os MUX as saídas Q dos registradores



Inserir as Saídas – 4 bits



Resultado do Banco de Registradores



Criando a ULA

- Simule o projeto inserindo valores e atuando manualmente no clock
- Salve o seu projeto para complementação posterior

