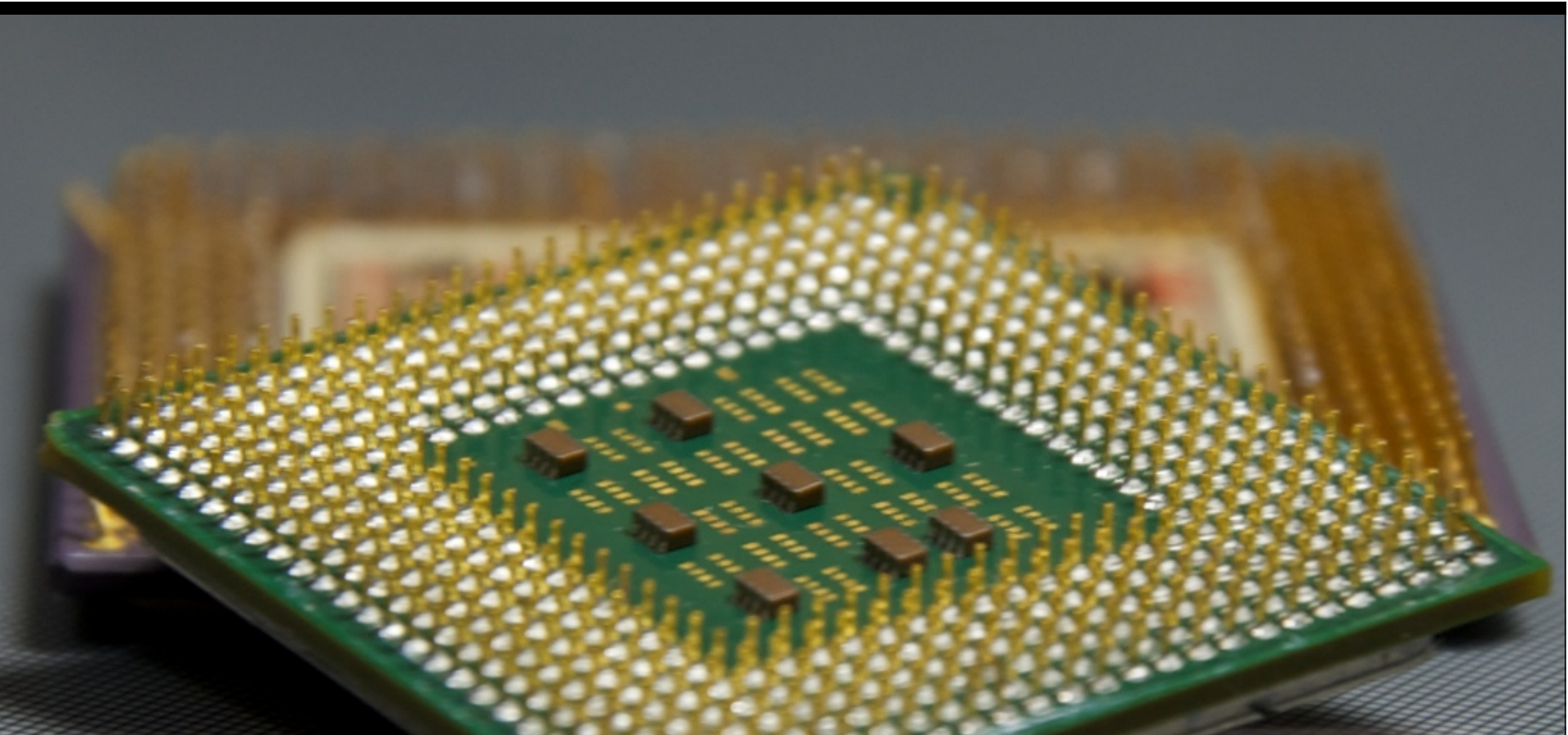




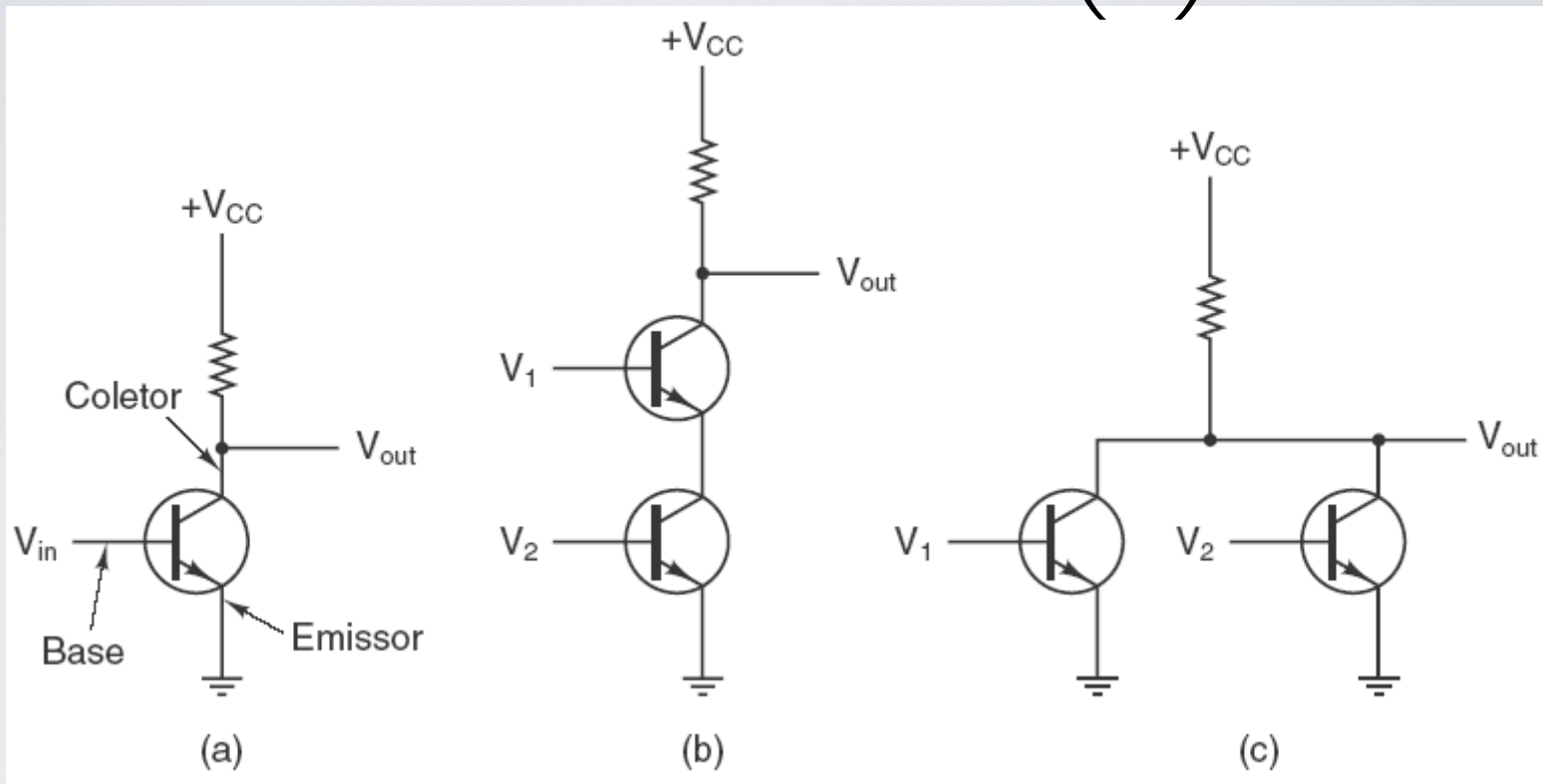
Organização de computadores

Prof. Moisés Souto

Aula 08

LÓGICA DIGITAL

PORTAS E ÁLGEBRA BOOLEANA (I)

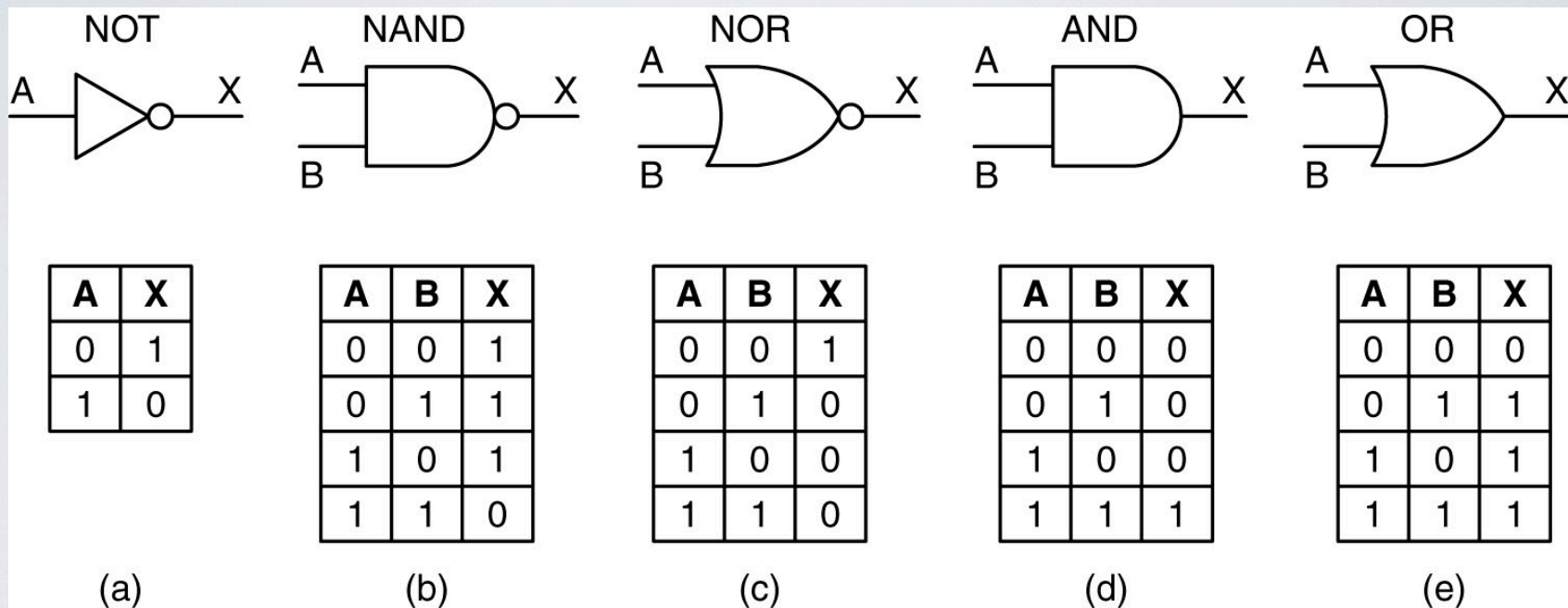


(a) Inversor com transistor.

(b) Porta NAND.

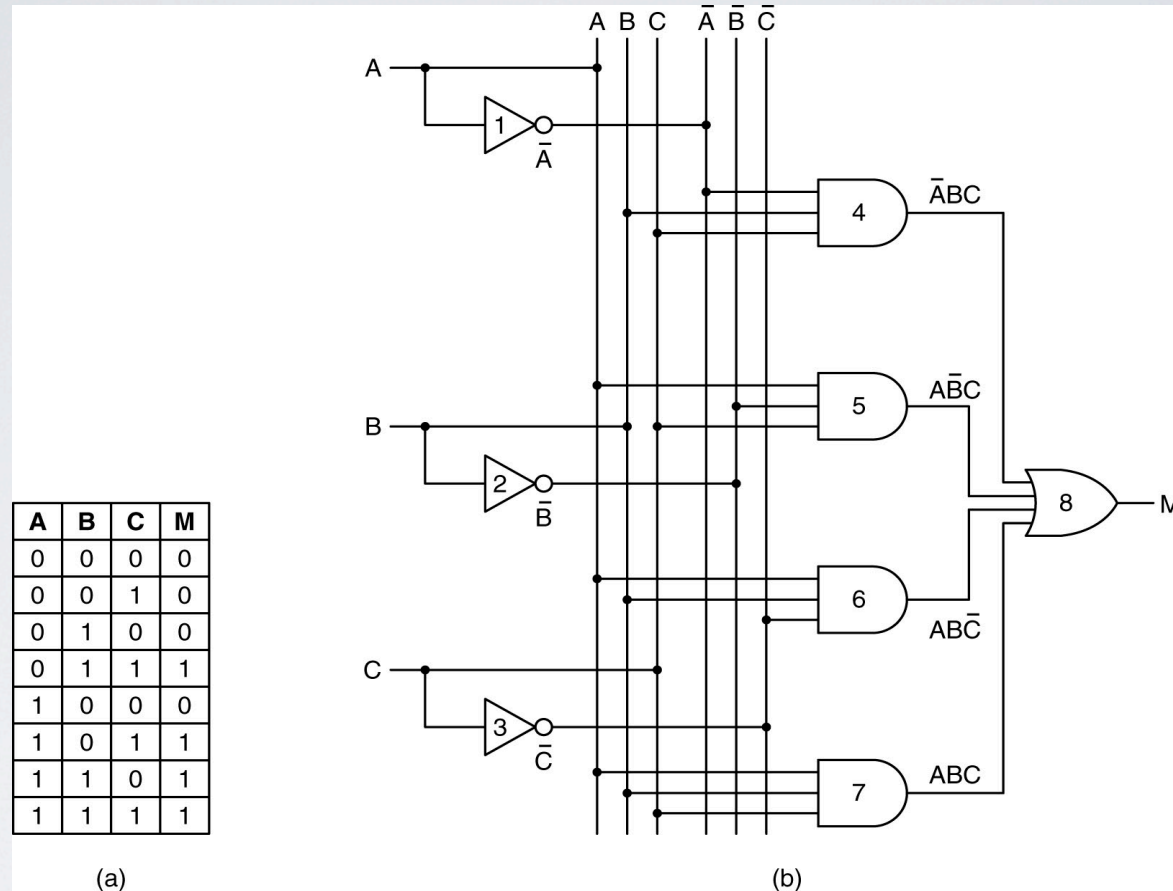
(c) Porta NOR.

PORTAS E ÁLGEBRA BOOLEANA (2)



Símbolos e comportamento funcional das cinco portas básicas.

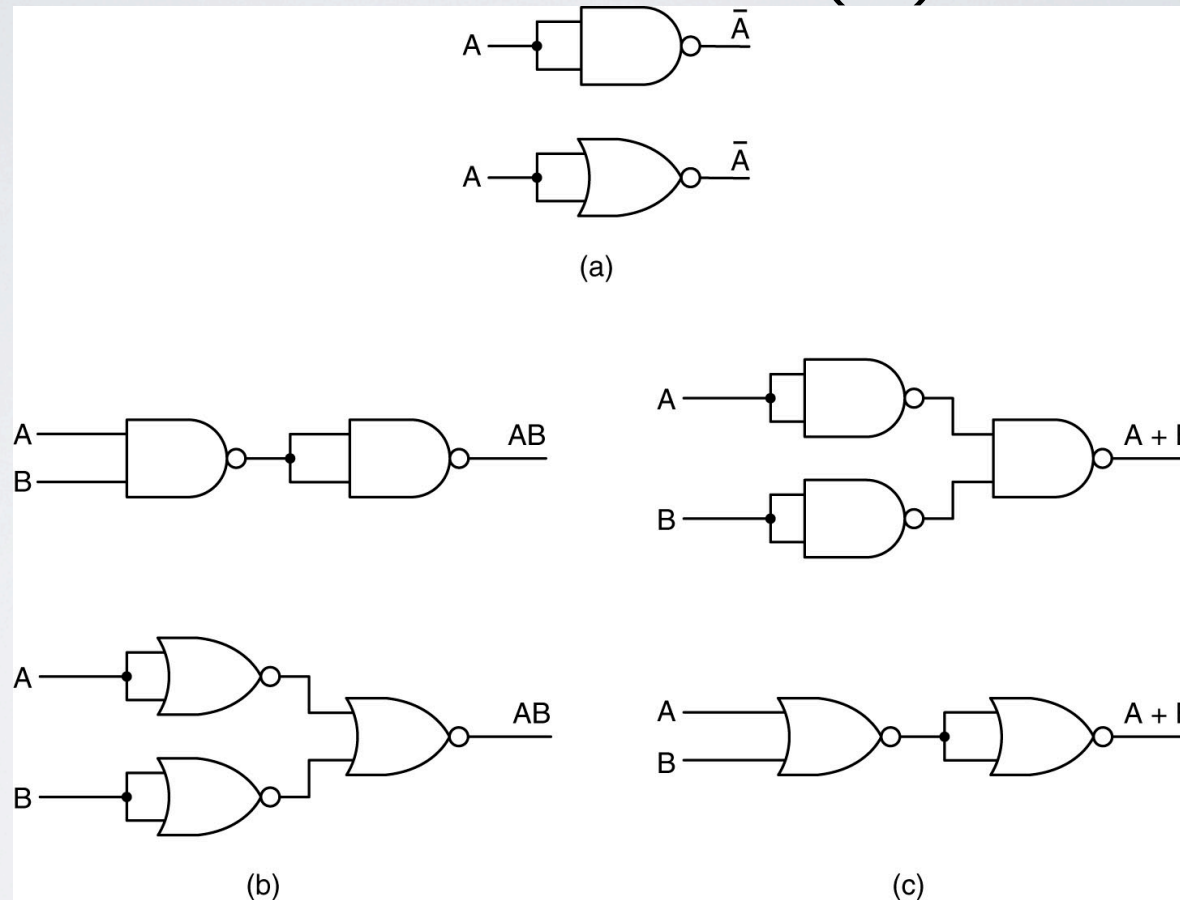
ÁLGEBRA BOOLEANA



(a) Tabela-verdade para a função majoritária de três variáveis.

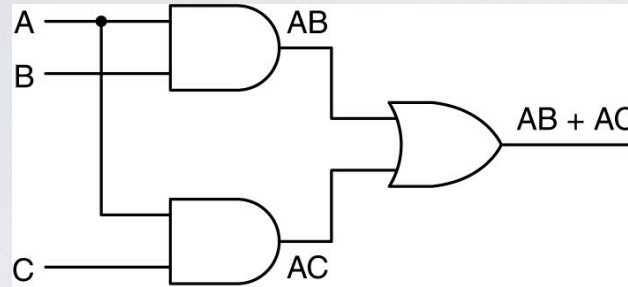
(b) Um circuito que implementa a função descrita em (a).

EQUIVALÊNCIA DE CIRCUITOS (I)



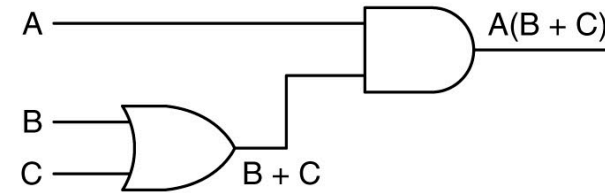
Construção de portas (a) NOT, (b) AND, e (c) OR, usando somente portas NAND ou somente portas NOR.

EQUIVALÊNCIA DE CIRCUITOS (2)



A	B	C	AB	AC	AB + AC
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	1	1

(a)



A	B	C	A	B + C	A(B + C)
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	1	1
1	1	0	1	1	1
1	1	1	1	1	1

(b)

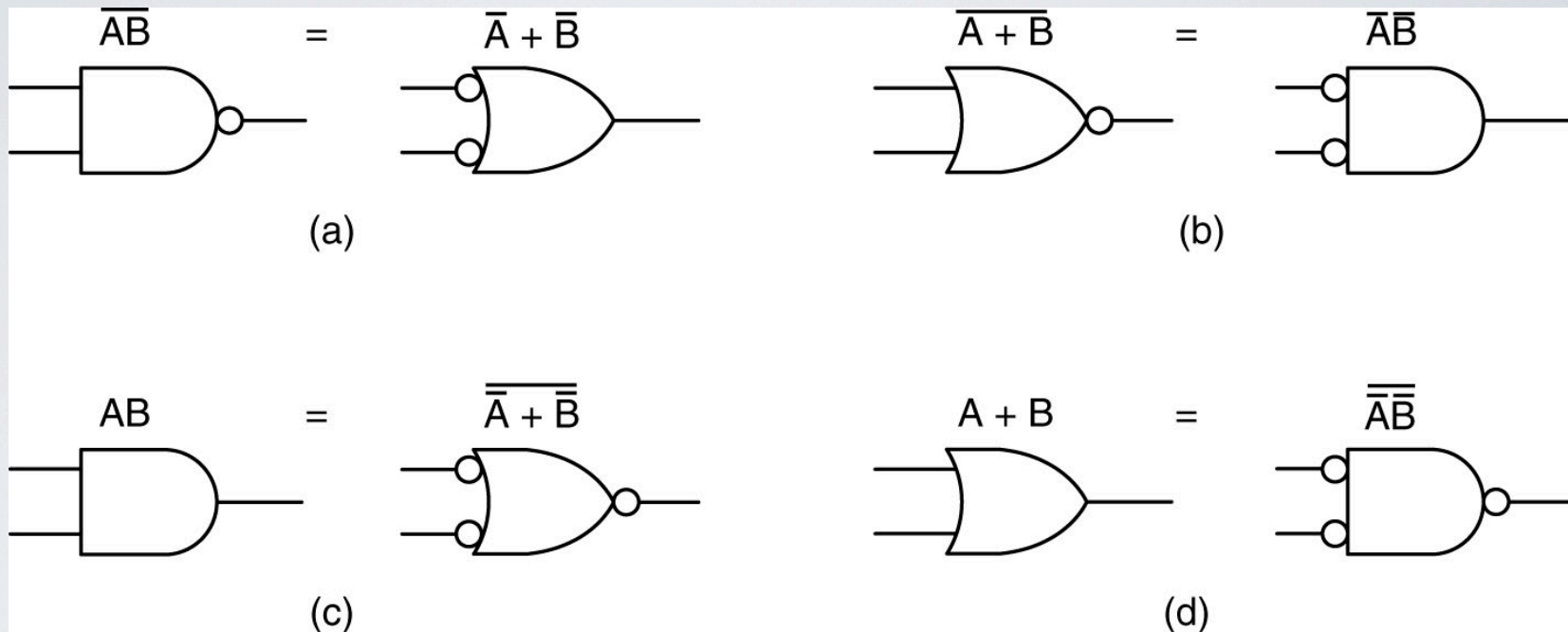
Duas funções equivalentes (a) $AB + AC$, (b) $A(B + C)$.

EQUIVALÊNCIA DE CIRCUITOS (3)

Nome	Forma AND	Forma OR
Lei da identidade	$1A = A$	$0 + A = A$
Lei do elemento nulo	$0A = 0$	$1 + A = 1$
Lei idempotente	$AA = A$	$A + A = A$
Lei do inverso	$A\bar{A} = 0$	$A + \bar{A} = 1$
Lei comutativa	$AB = BA$	$A + B = B + A$
Lei associativa	$(AB)C = A(BC)$	$(A + B) + C = A + (B + C)$
Lei distributiva	$A + BC = (A + B)(A + C)$	$A(B + C) = AB + AC$
Lei da absorção	$A(A + B) = A$	$A + AB = A$
Lei de DeMorgan	$\bar{A}\bar{B} = \overline{A + B}$	$\overline{\bar{A} + \bar{B}} = AB$

Algumas identidades da álgebra Booleana.

EQUIVALÊNCIA DE CIRCUITOS (4)



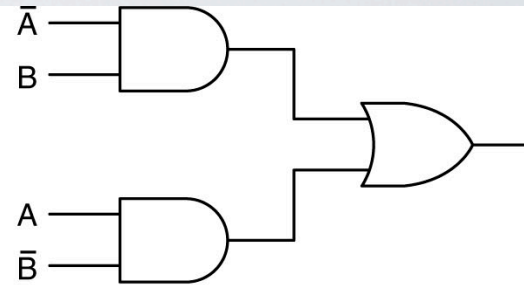
Símbolos alternativos para algumas portas:

(a) NAND, (b) NOR, (c) AND, (d) OR

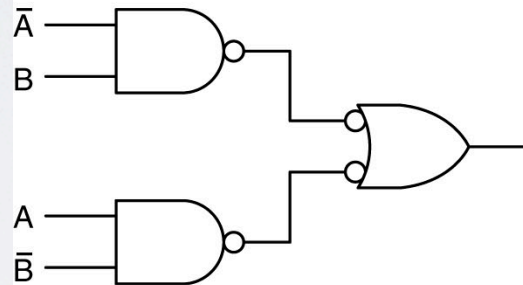
EQUIVALÊNCIA DE CIRCUITOS (5)

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

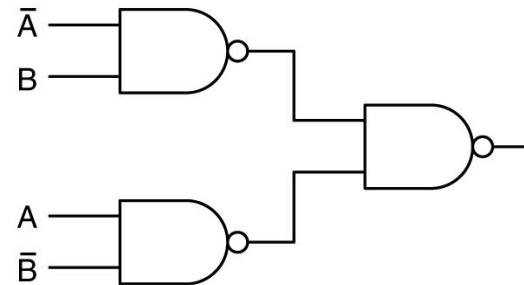
(a)



(b)



(c)



(d)

(a) Tabela-verdade para a função XOR.

(b-d) Três circuitos para calcular essa tabela.

EQUIVALÊNCIA DE CIRCUITOS (6)

A	B	F
0 ^V	0 ^V	0 ^V
0 ^V	5 ^V	0 ^V
5 ^V	0 ^V	0 ^V
5 ^V	5 ^V	5 ^V

(a)

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

(b)

A	B	F
1	1	1
1	0	1
0	1	1
0	0	0

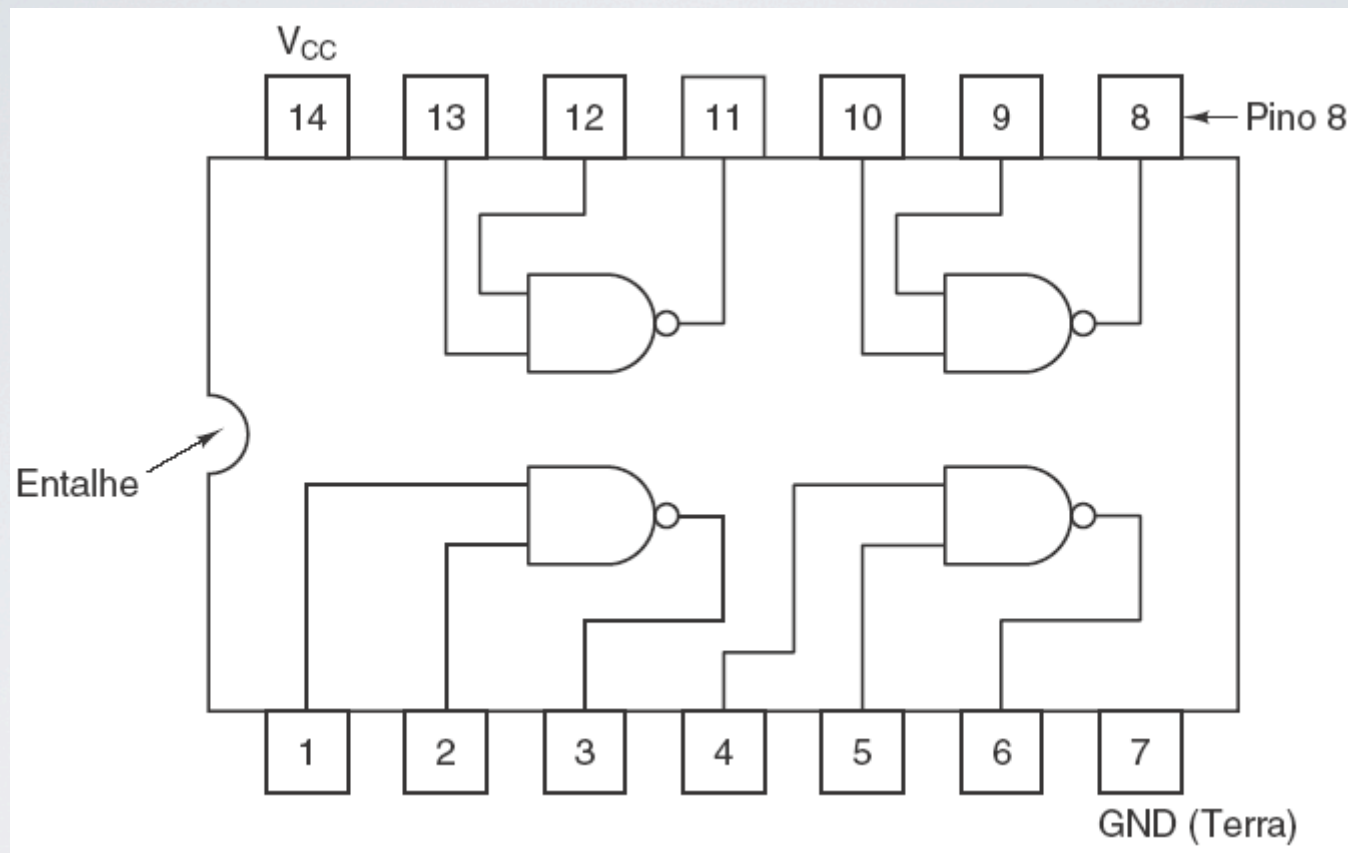
(c)

(a) Características elétricas de um dispositivo.

(b) Lógica positiva.

(c) Lógica negativa.

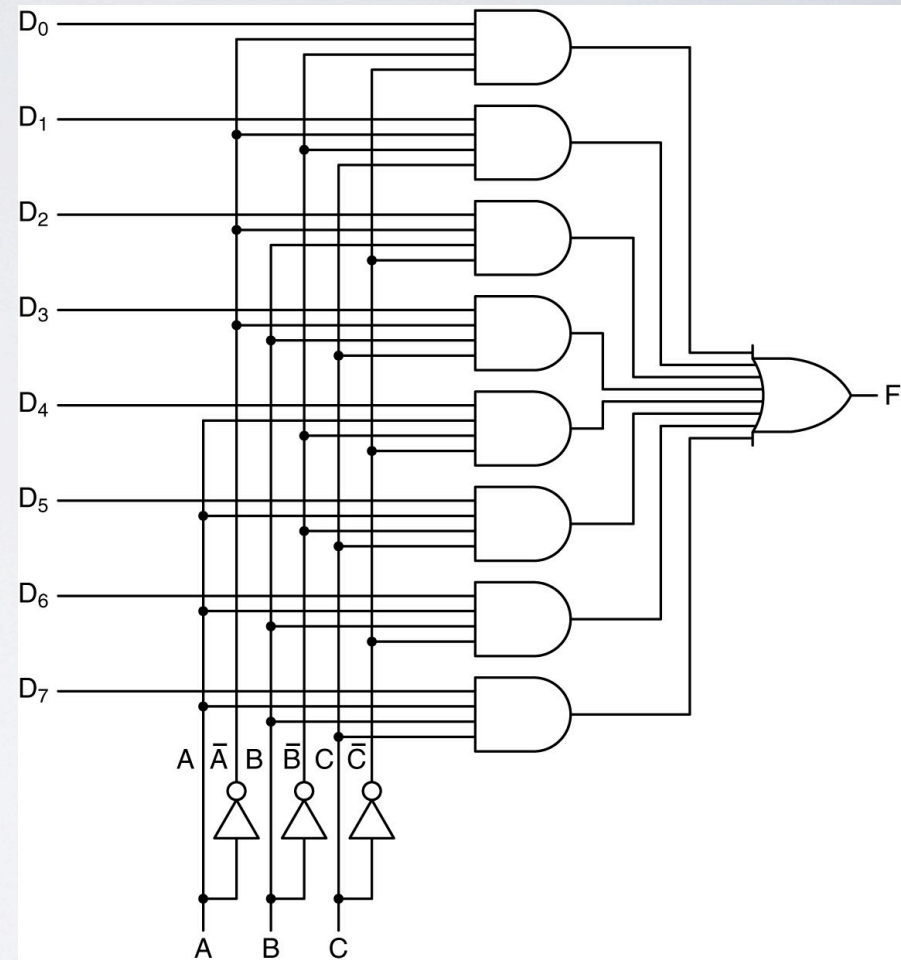
CIRCUITOS INTEGRADOS



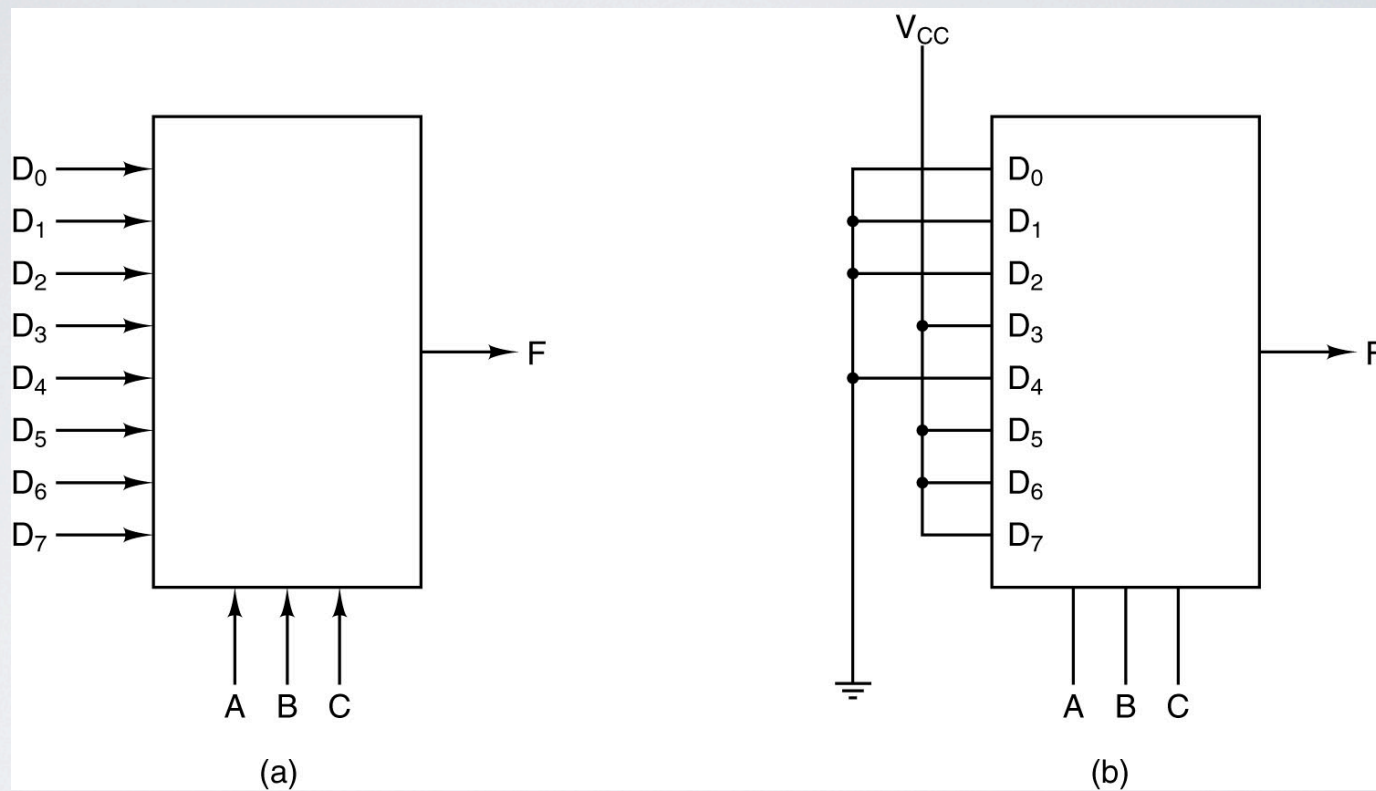
Chip SSI que contém quatro portas.

MULTIPLEXADORES (I)

Circuito multiplexador
de oito entradas.



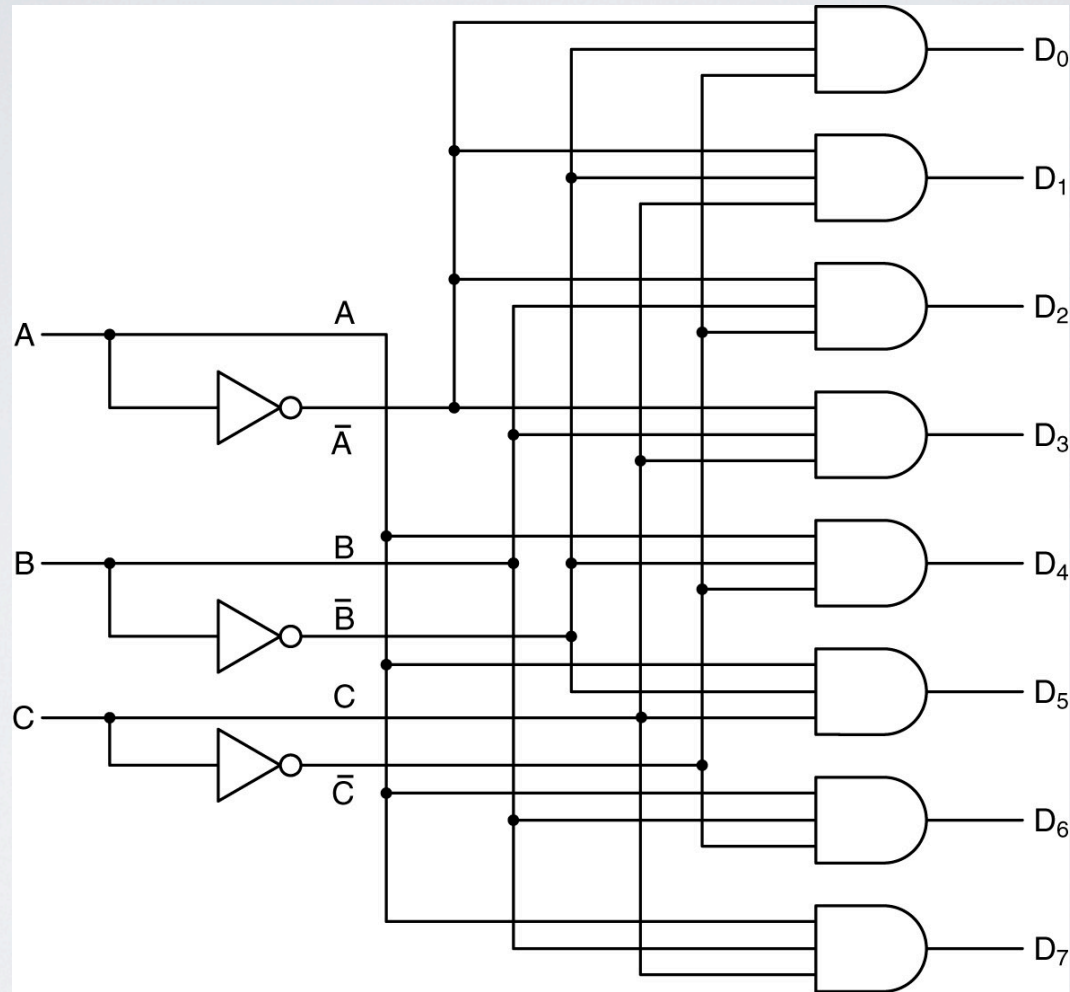
MULTIPLEXADORES (2)



(a) Multiplexador MSI.

(b) O mesmo multiplexador ligado para calcular a função majoritária.

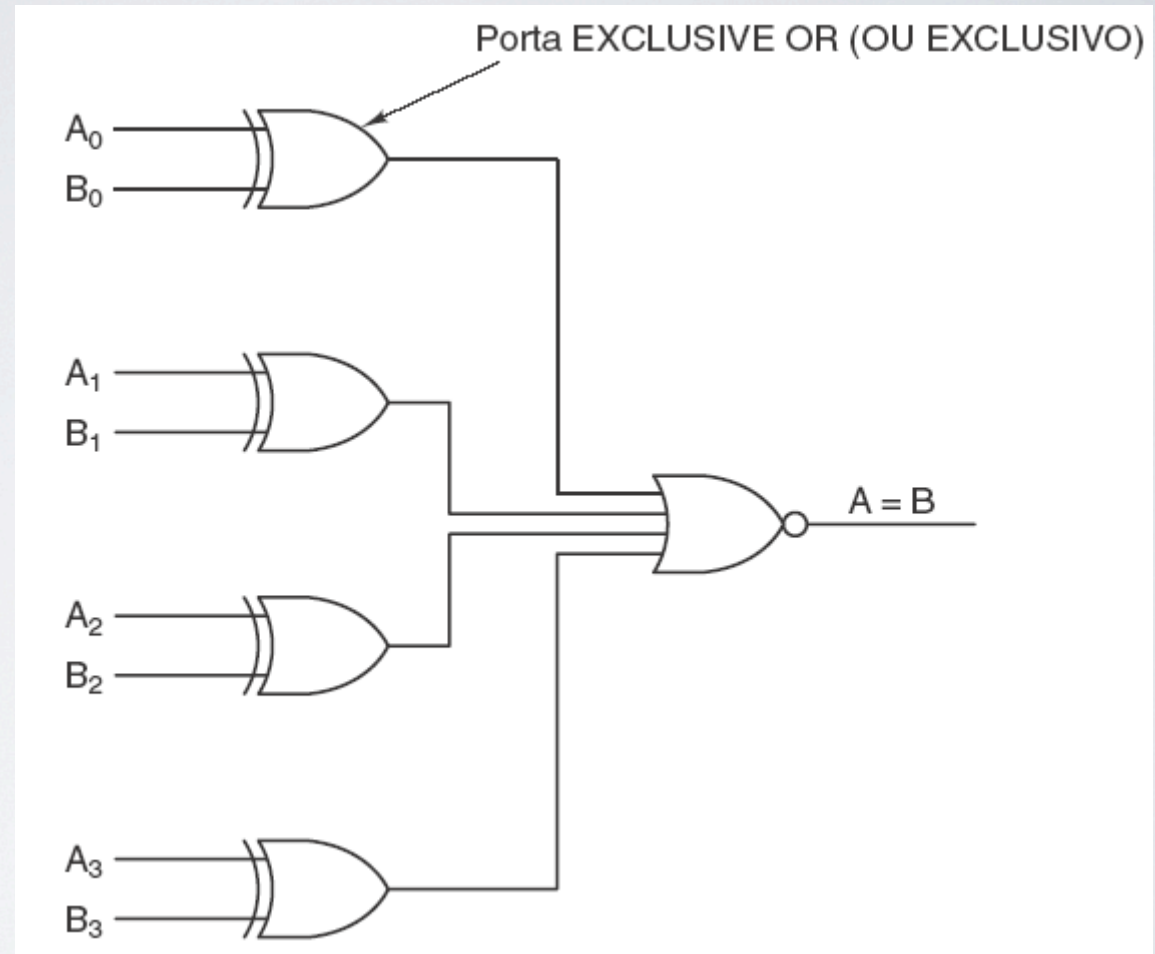
DECODIFICADORES



Circuito decodificador 3 para 8.

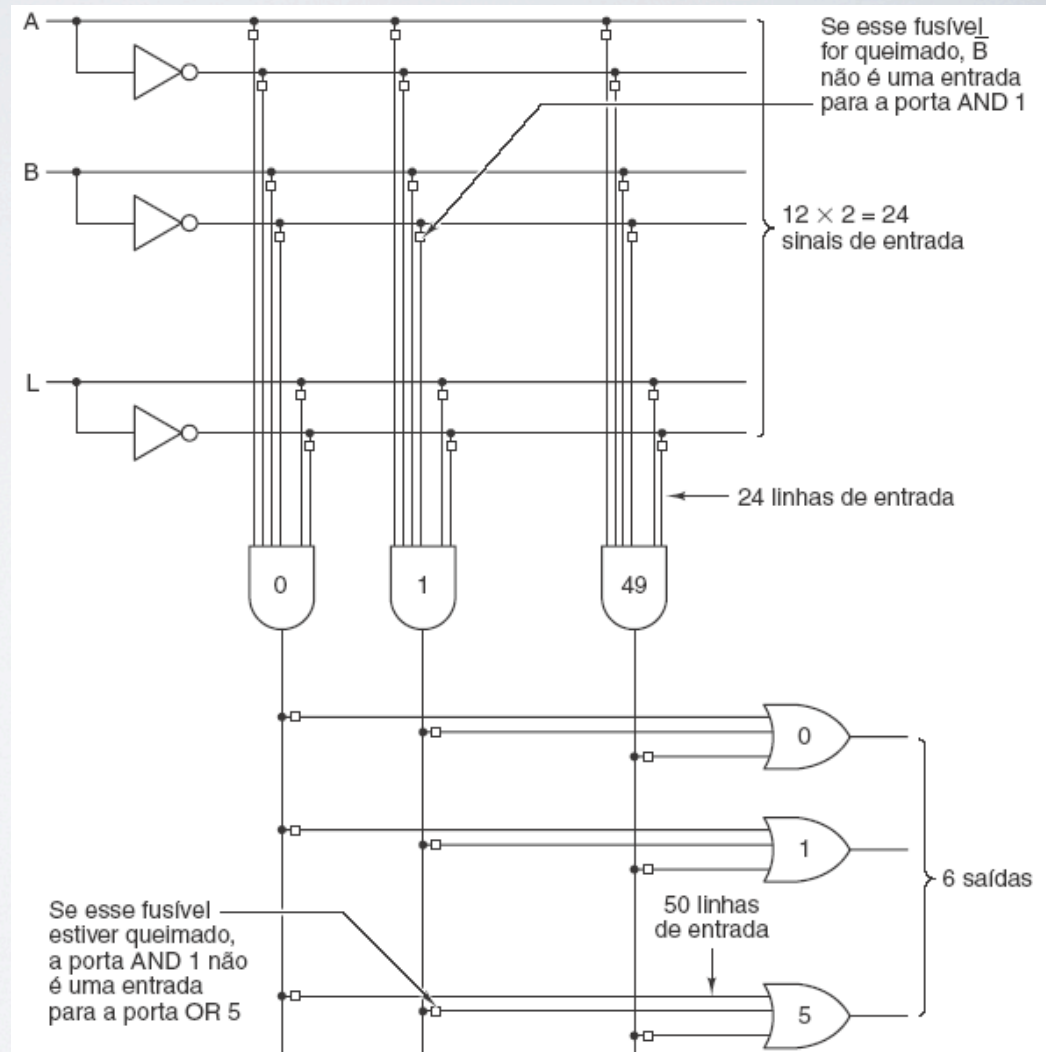
COMPARADORES

Comparador simples de 4 bits.

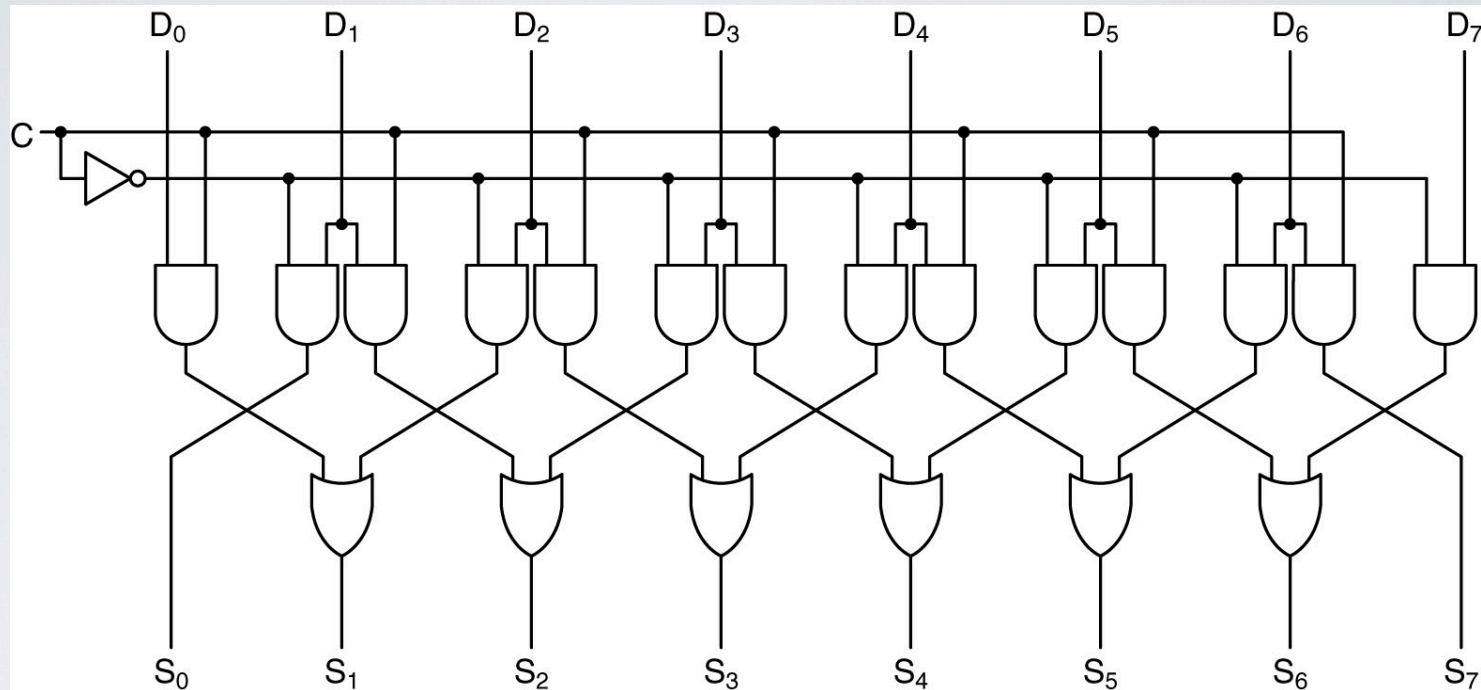


ARRANJOS LÓGICOS PROGRAMÁVEIS

Arranjo lógico programável de 12 entradas e 6 saídas. Os quadradinhos representam fusíveis que podem ser queimados para determinar a função a ser calculada. Os fusíveis são arranjados em duas matrizes: a superior para as portas AND e a inferior para as portas OR.



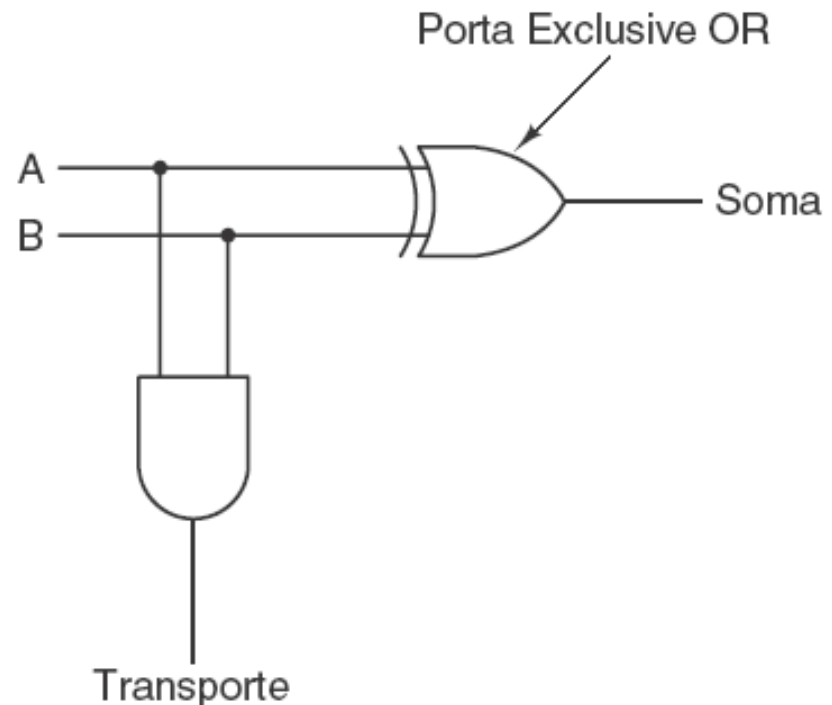
DESLOCADORES



Deslocador esquerda/direita de 1 bit.

SOMADORES (I)

A	B	Soma	Transporte
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



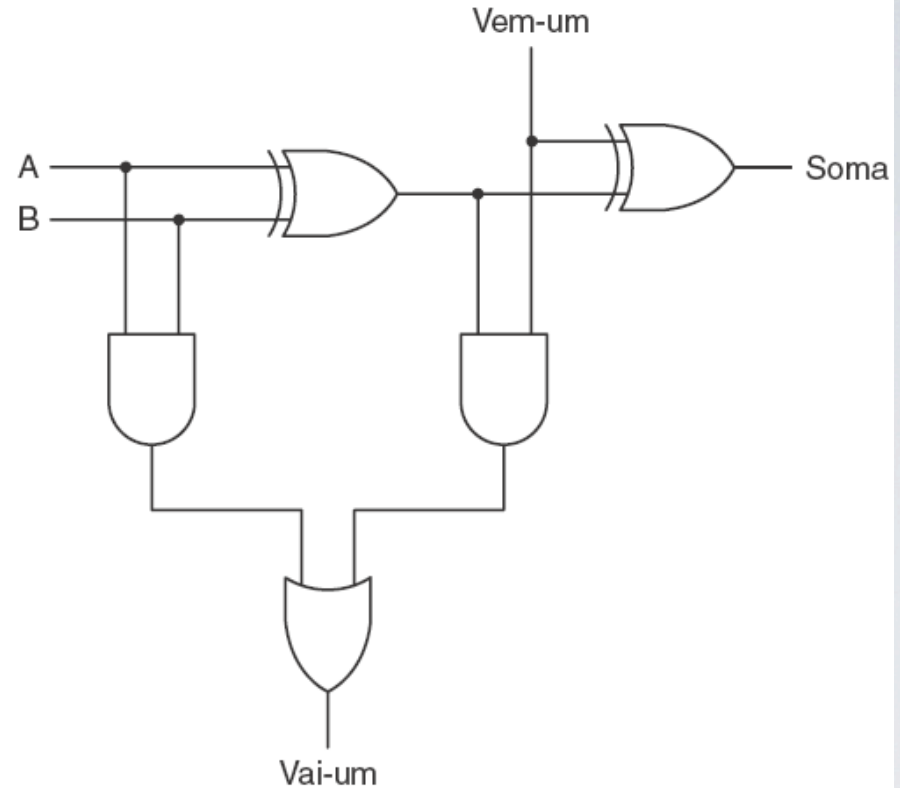
(a) Tabela-verdade para adição de 1 bit.

(b) Circuito para um meio-somador.

SOMADORES (2)

A	B	Vem-um	Soma	Vai-um
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(a)



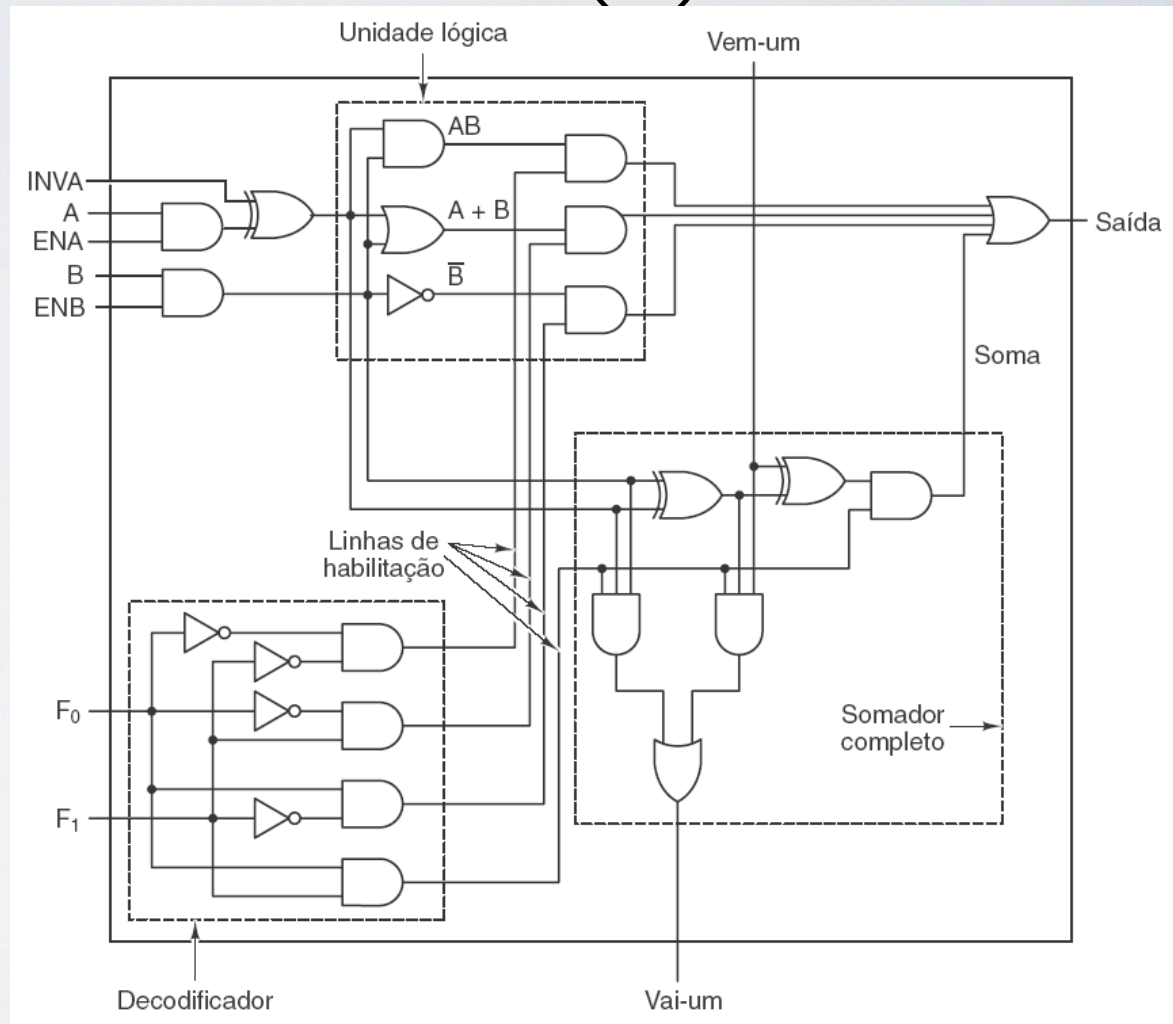
(b)

(a) Tabela-verdade para um somador completo.

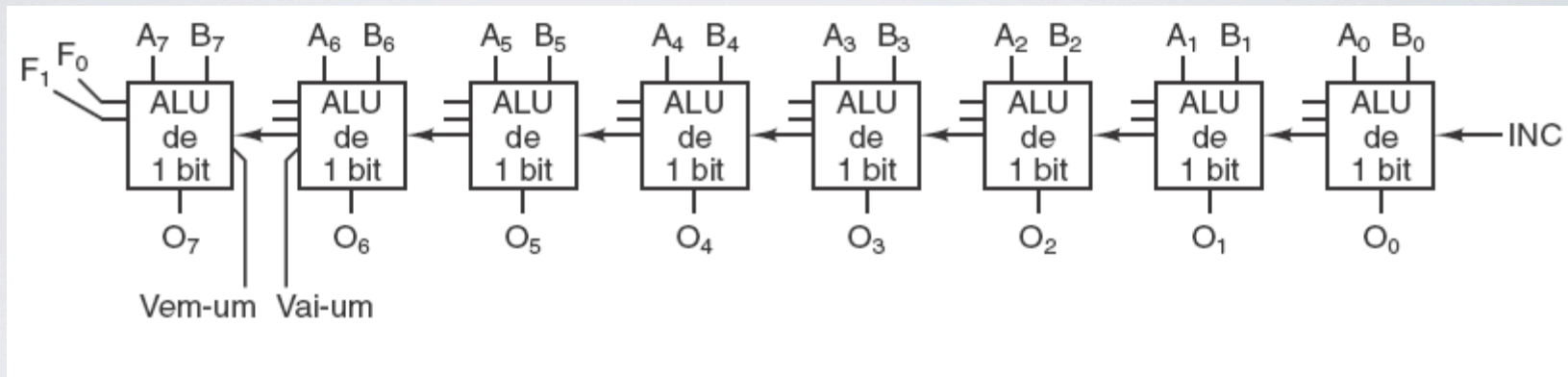
(b) Circuito para um somador completo.

UNIDADES LÓGICA E ARITMÉTICA (I)

ALU de 1 bit.



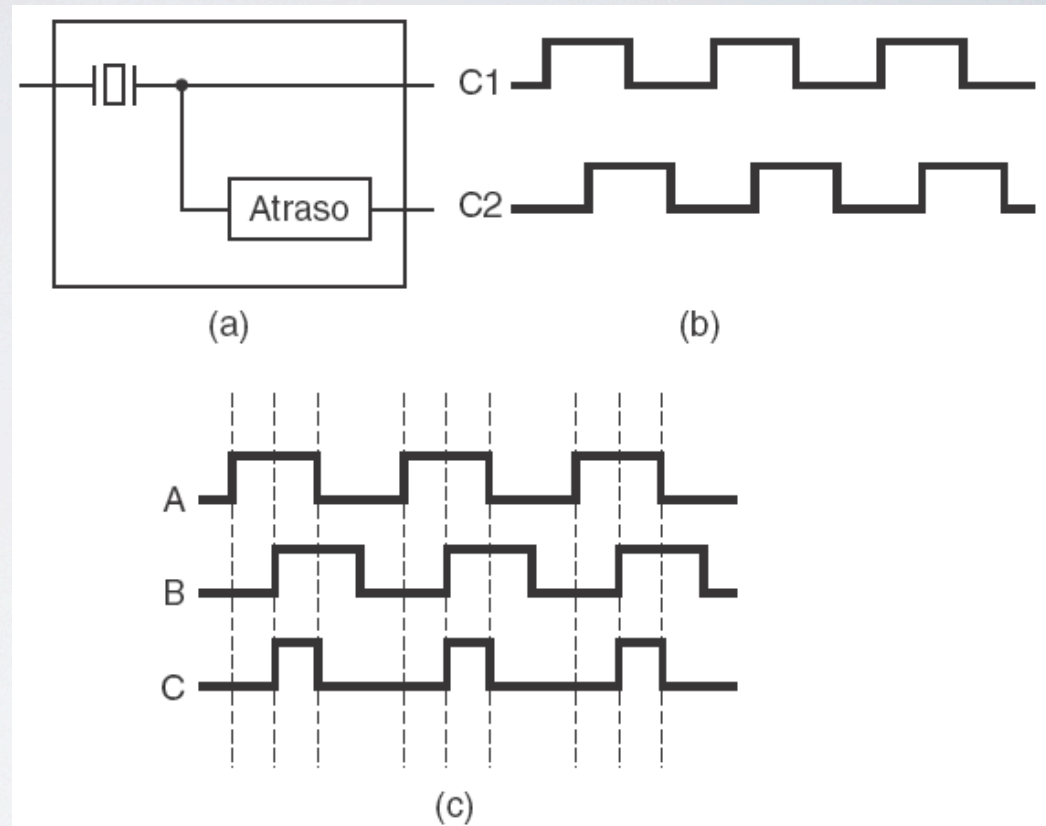
UNIDADES LÓGICA E ARITMÉTICA (2)



Oito segmentos de ALU de 1 bit conectados para formar uma ALU de 8 bits.

Os sinais de habilitação e de inversão não são mostrados por simplicidade.

RELÓGIOS

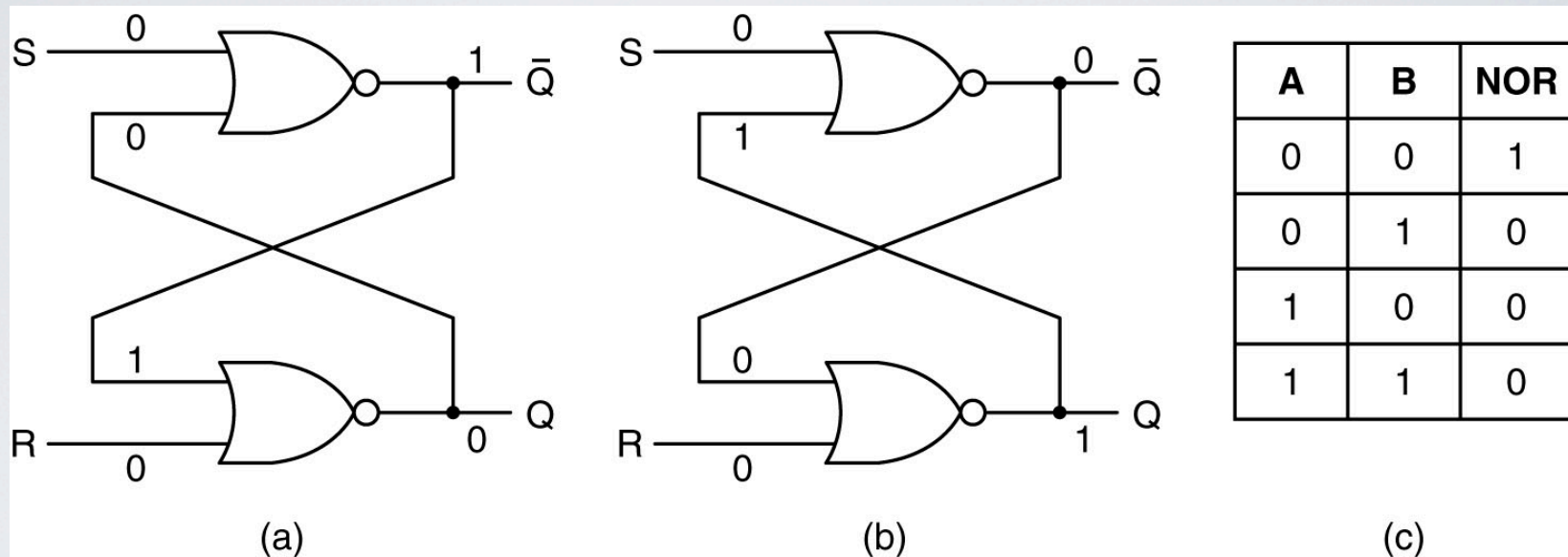


(a) Relógio.

(b) Diagrama de temporização para o relógio.

(c) Geração de um relógio assimétrico.

LATCHES (MEMÓRIA DE 1 BIT) (I)

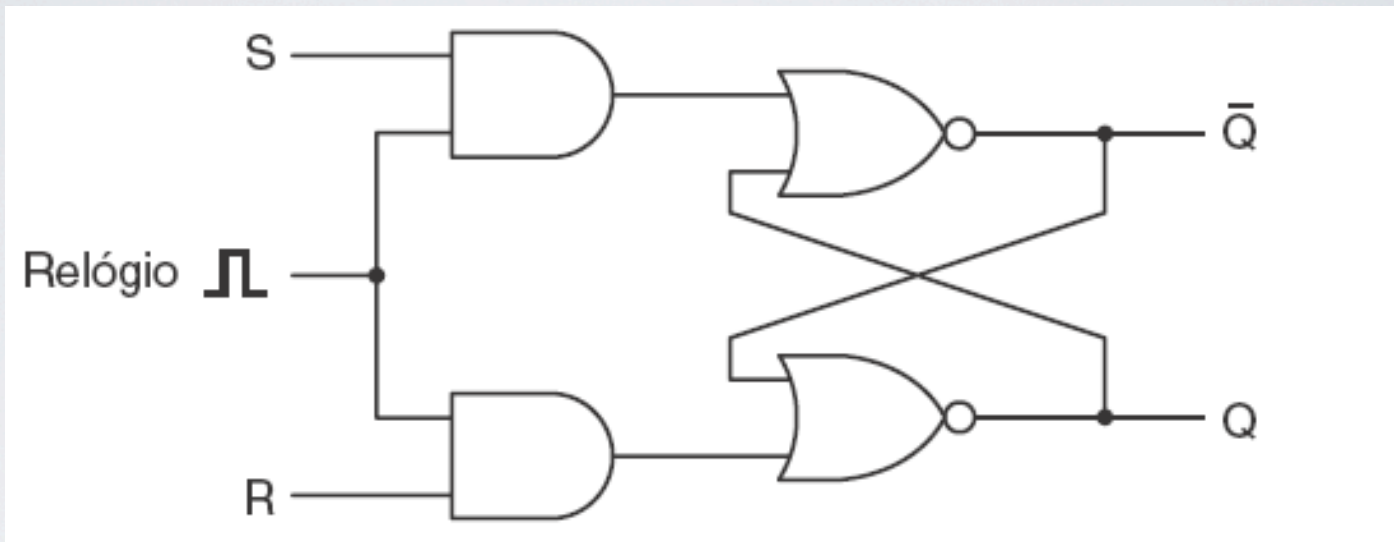


(a) Latch NOR no estado 0.

(b) Latch NOR no estado 1.

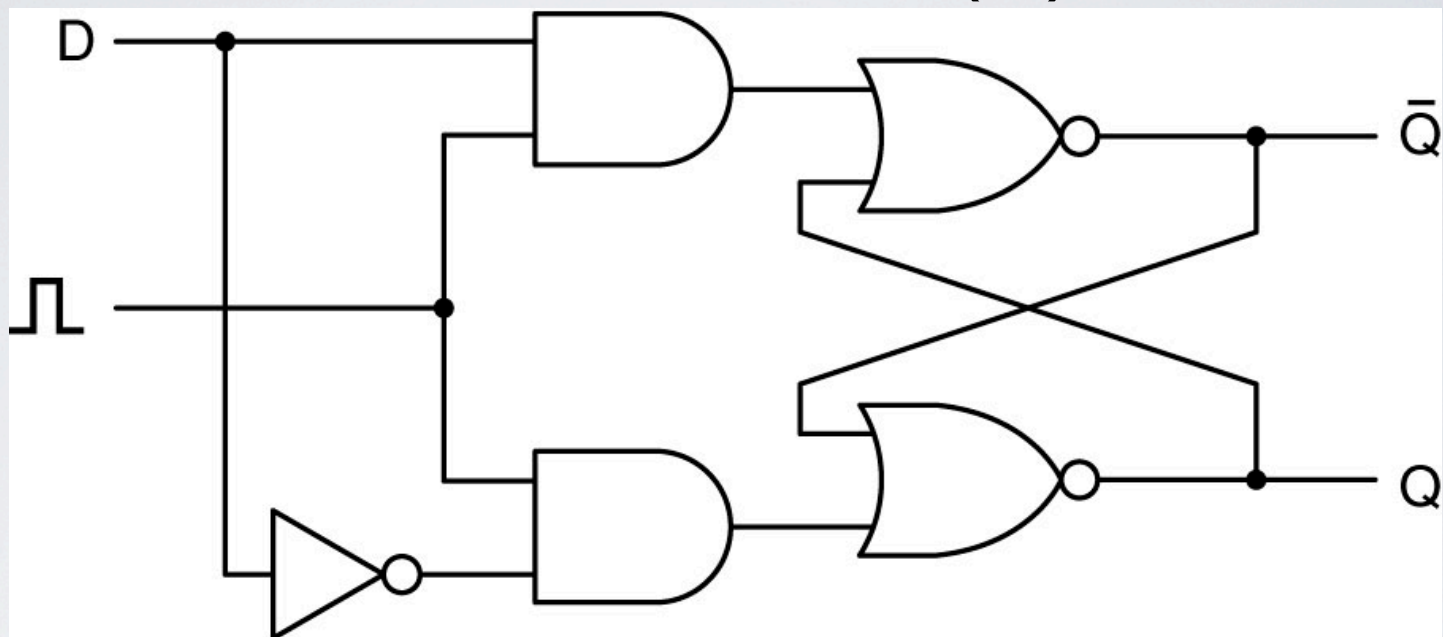
(c) Tabela-verdade para NOR.

LATCHES (2)



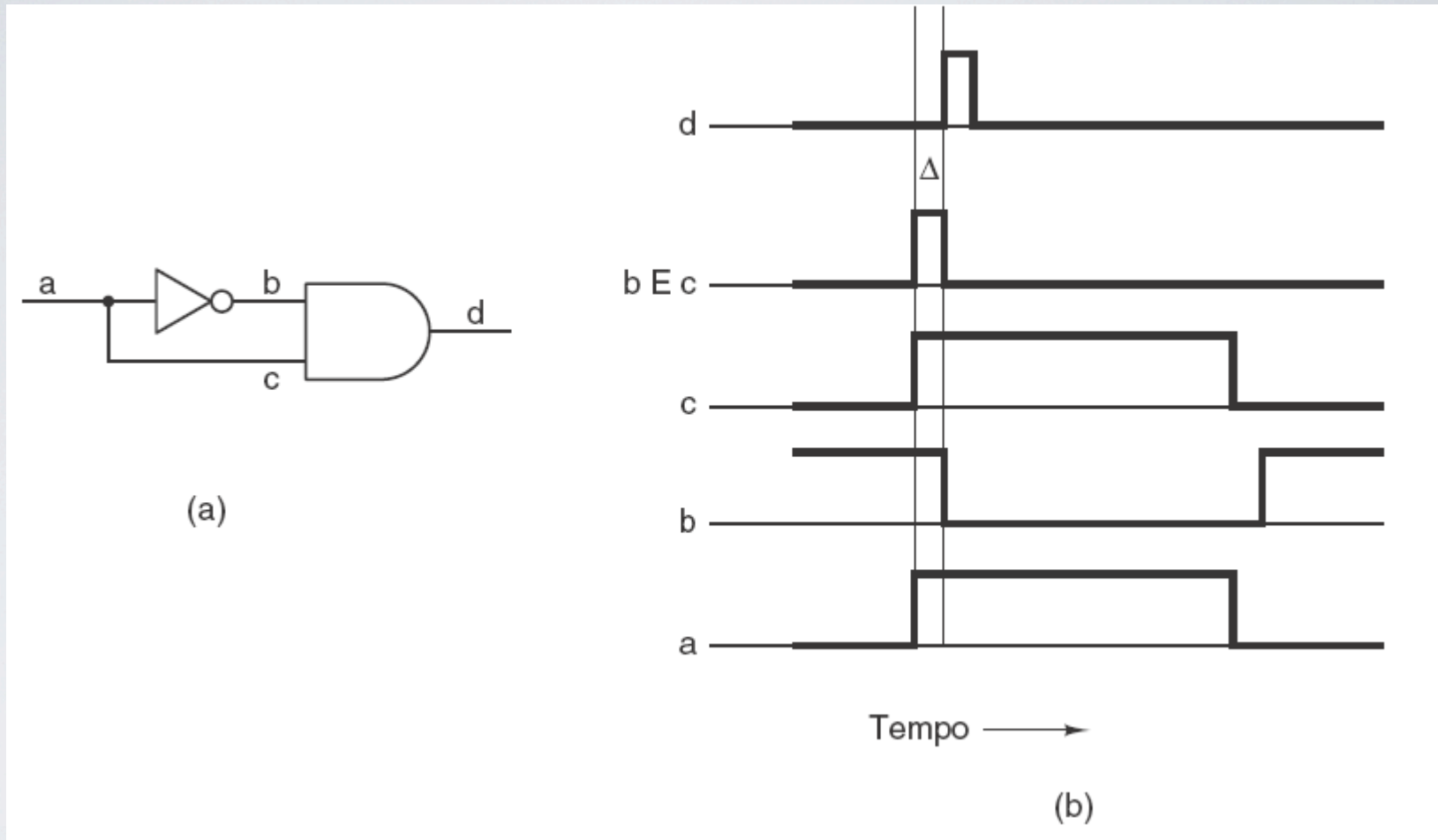
Latch SR com relógio.

LATCHES (3)



Latch D com relógio.

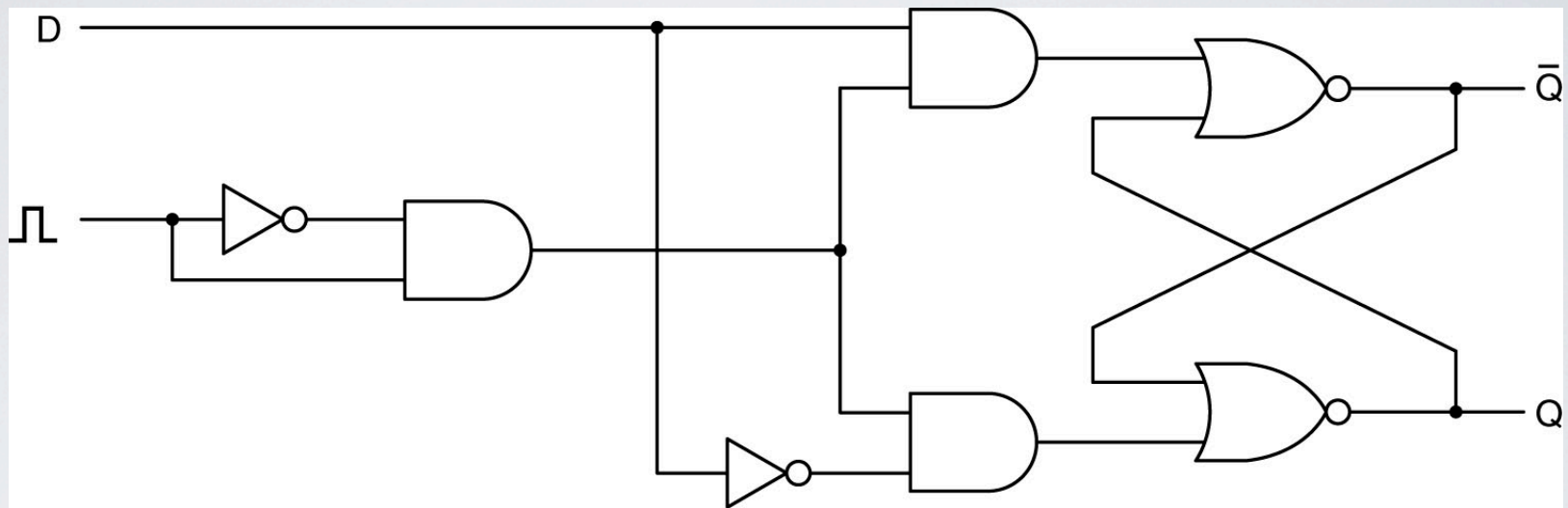
FLIP-FLOPS (I)



(a) Gerador de pulso.

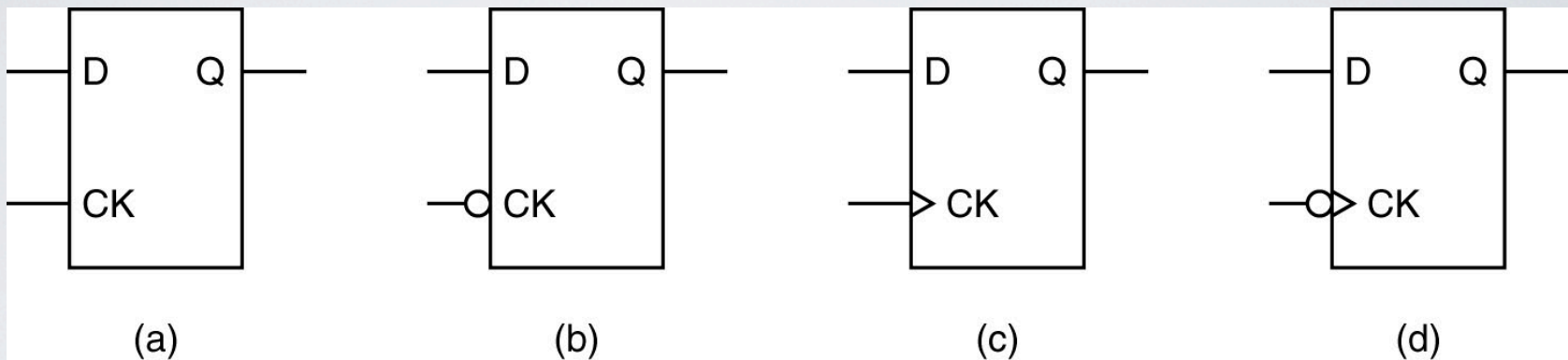
(b) Temporização em quatro pontos do circuito.

FLIP-FLOPS (2)



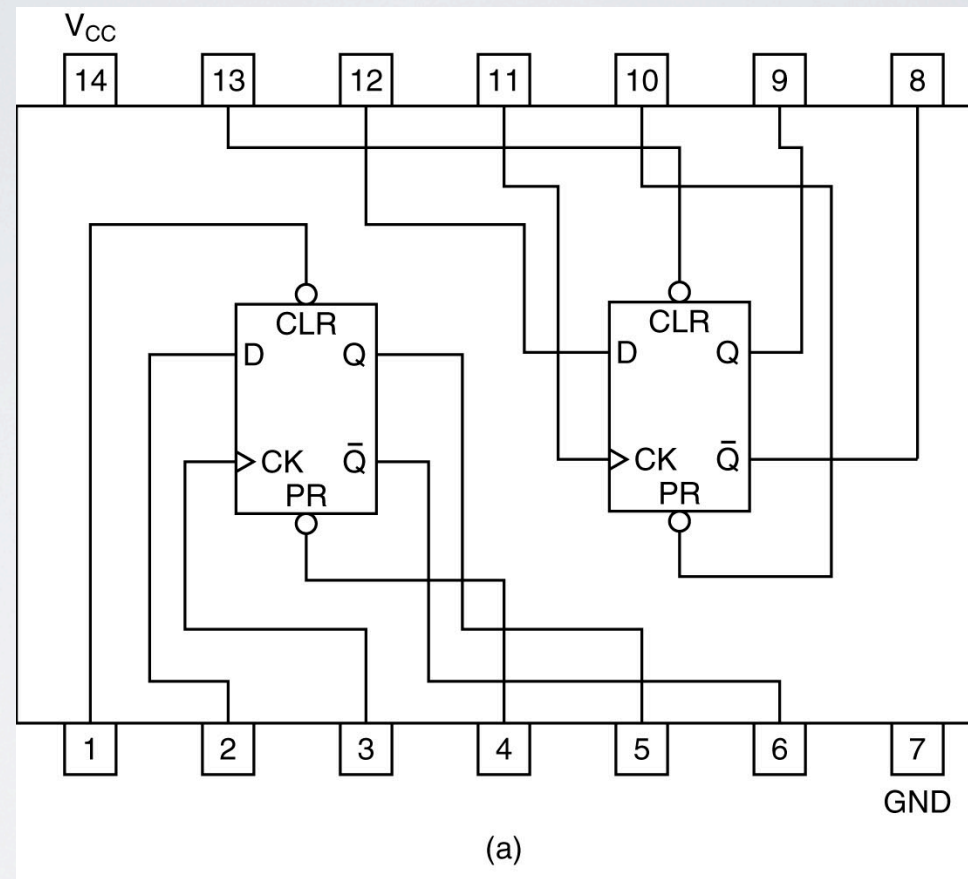
Flip-flop tipo D.

FLIP-FLOPS (3)



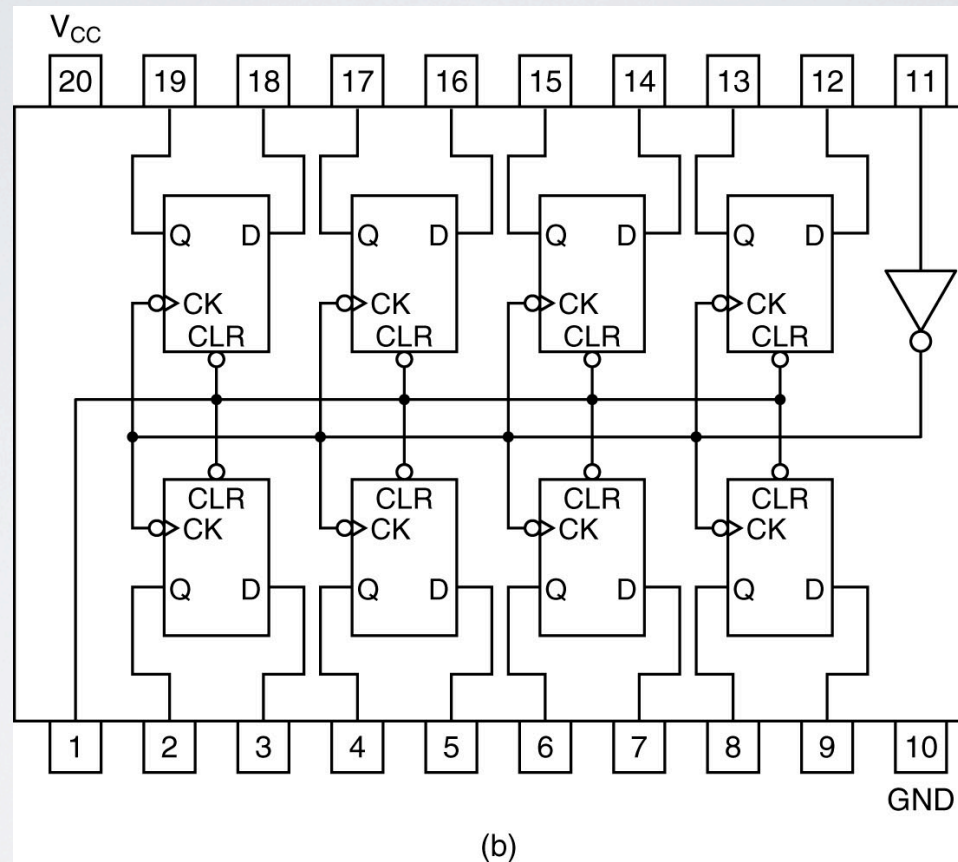
Latches e flip-flops tipo D.

FLIP-FLOPS (4)



Flip-flop D dual.

FLIP-FLOPS (5)

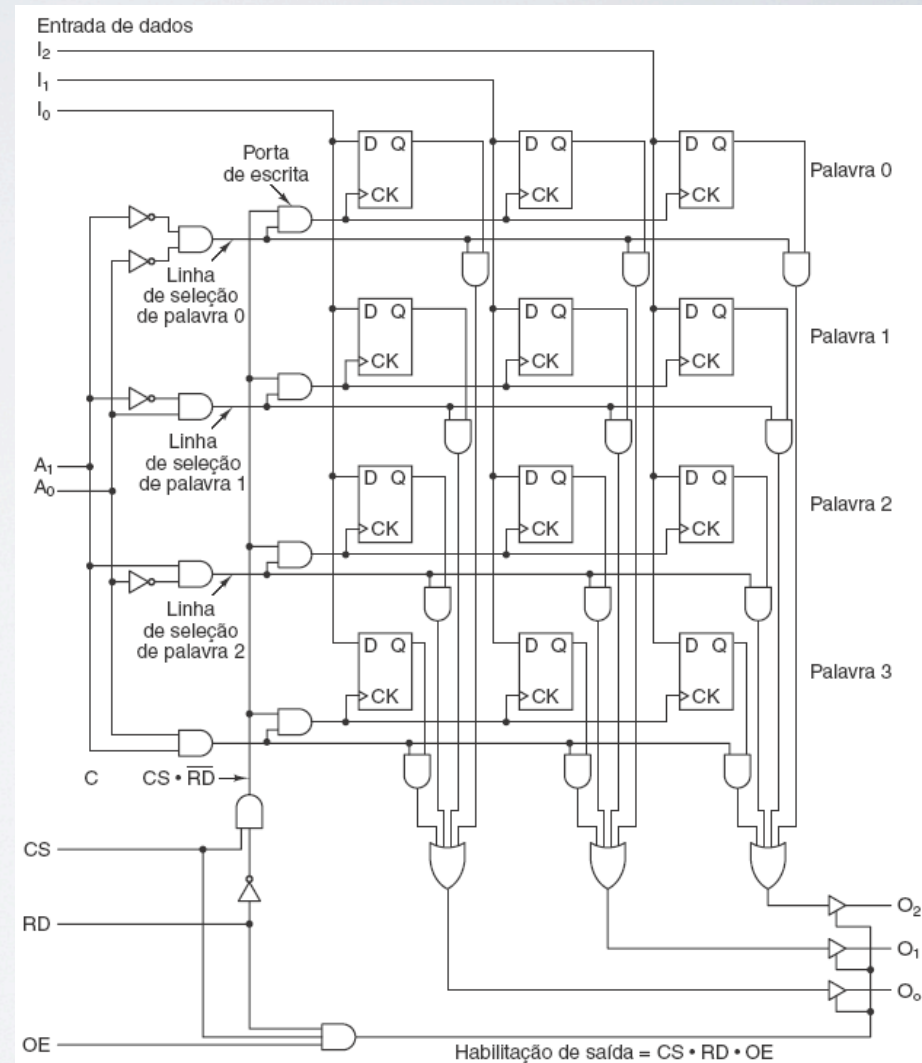


Flip-flop octal.

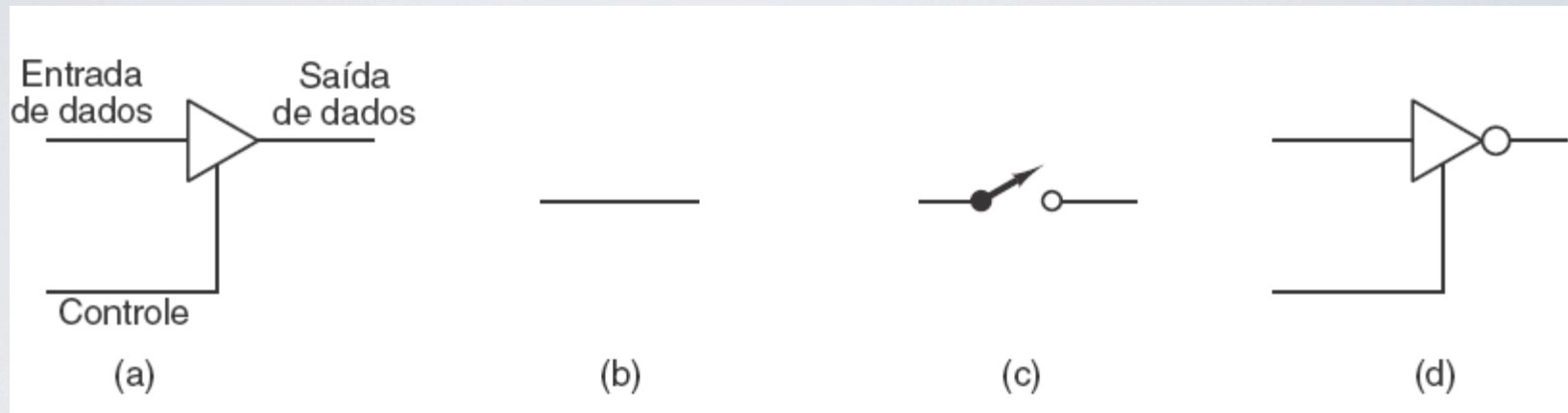
ORGANIZAÇÃO DE MEMÓRIA (I)

Diagrama lógico para uma memória 4 x 3.

Cada linha é uma das quatro palavras de 3 bits.



ORGANIZAÇÃO DE MEMÓRIA (2)



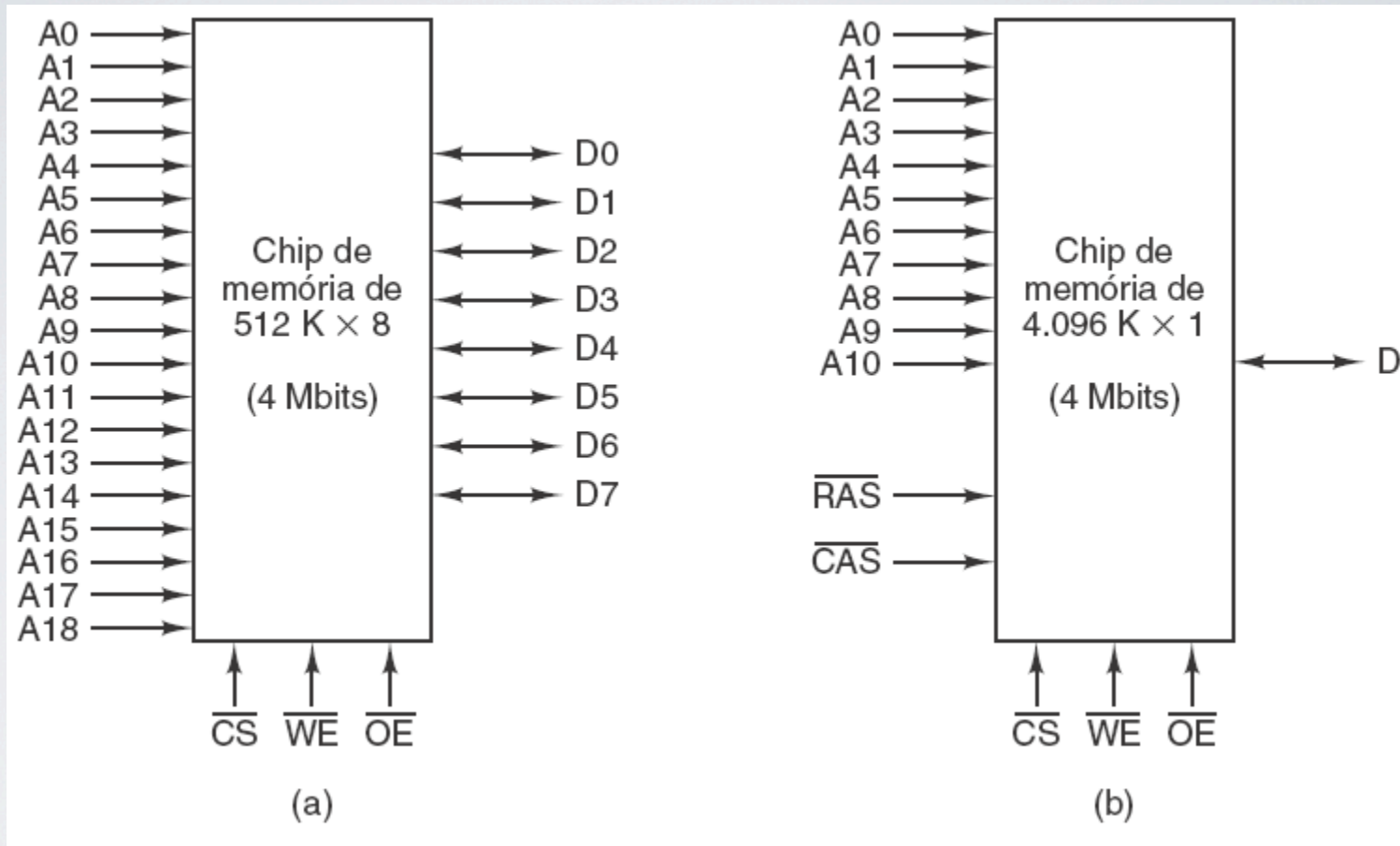
(a) Buffer não inversor.

(b) Efeito de (a) quando o controle está alto.

(c) Efeito de (a) quando o controle está baixo.

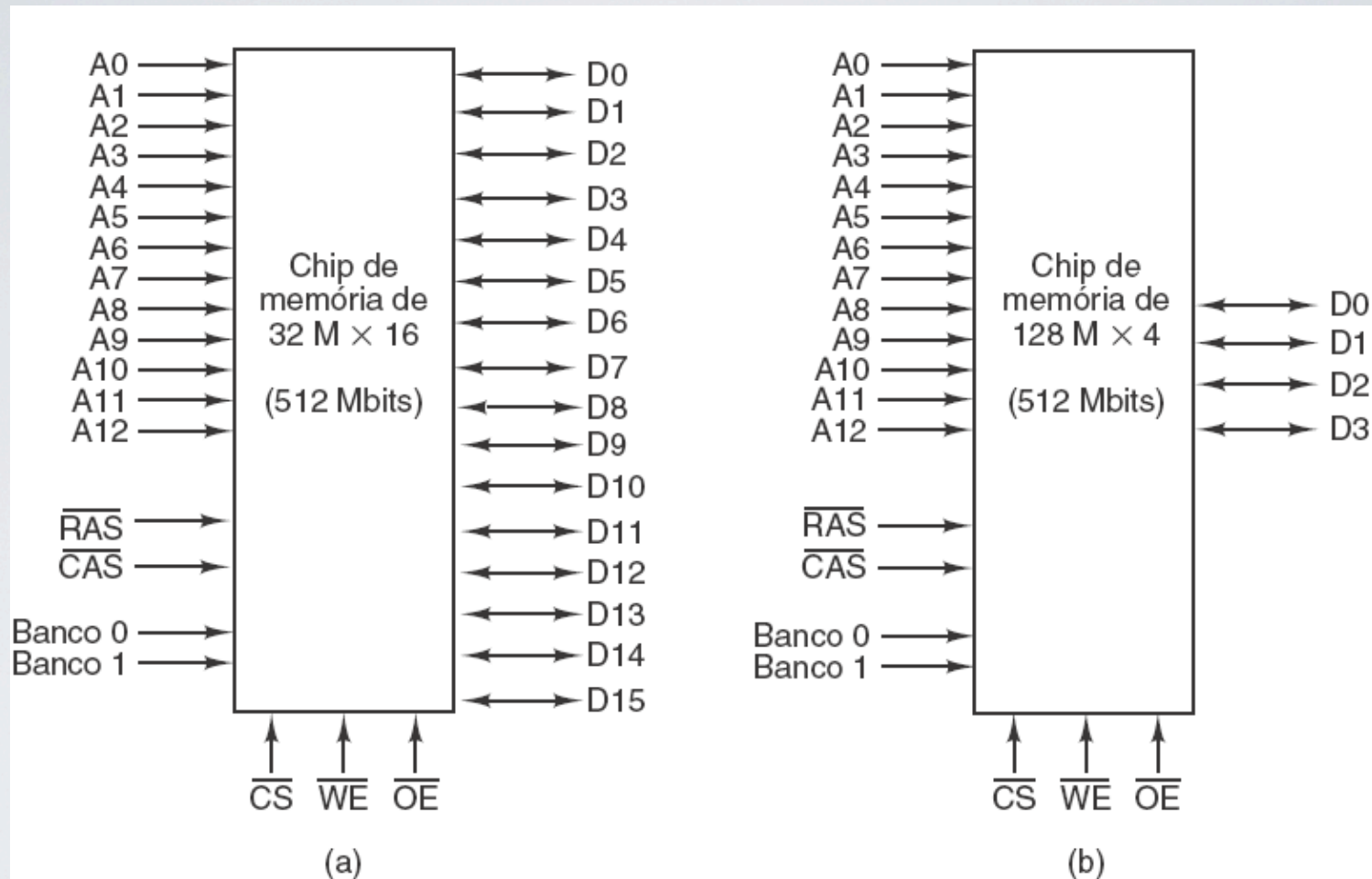
(d) Buffer inversor.

CHIPS DE MEMÓRIA (I)



Dois modos de organizar um chip de memória de 4 Mbits.

CHIPS DE MEMÓRIA (2)



Dois modos de organizar um chip de memória de 512 Mbits.

CHIPS DE MEMÓRIA NÃO-VOLÁTIL

Tipo	Categoria	Modo de apagar	Byte alterável	Volátil	Utilização típica
SRAM	Leitura/escrita	Elétrico	Sim	Sim	Cache de nível 2
DRAM	Leitura/escrita	Elétrico	Sim	Sim	Memória principal (antiga)
SDRAM	Leitura/escrita	Elétrico	Sim	Sim	Memória principal (nova)
ROM	Somente de leitura	Não é possível	Não	Não	Equipamentos e grande volume
PROM	Somente de leitura	Não é possível	Não	Não	Equipamentos e pequeno volume
EPROM	Principalmente leitura	Luz UV	Não	Não	Prototipagem de dispositivos
EEPROM	Principalmente leitura	Elétrico	Sim	Não	Prototipagem de dispositivos
Flash	Leitura/escrita	Elétrico	Não	Não	Filme para câmera digital

Comparação entre vários tipos de memória.

REFERÊNCIAS

Notas de aula. Arquitetura e organização de computadores. Glaucus Brelaz.

**Slides do livro Organização Estruturada de Computadores
Andrew S. Tanenbaum**

**Arquitetura e Organização de Computadores.
William Stallings**

**Organização Estruturada de Computadores
Andrew S. Tanenbaum**